

Docket No.: R2180.0191/P191
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Masami Seto et al.

Application No.: Not Yet Assigned

Confirmation No.:

Filed: Concurrently Herewith

Art Unit: N/A

For: SEMICONDUCTOR DEVICE AND
METHOD OF MANUFACTURING THE
SAME

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following
prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2003-059149	March 5, 2003

Application No.: Not Yet Assigned

Docket No.: R2180.0191/P191

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: March 2, 2004

Respectfully submitted,

By 

Thomas J. D'Amico

Registration No.: 28,371

Peter McGee

Registration No.: 35,947

DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorneys for Applicant



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 5 日
Date of Application:

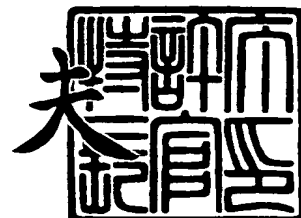
出 願 番 号 特 願 2 0 0 3 - 0 5 9 1 4 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 5 9 1 4 9]

出 願 人 株 式 会 社 リ コ ー
Applicant(s):

2 0 0 4 年 2 月 1 0 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 4 - 3 0 0 8 3 2 7

【書類名】 特許願

【整理番号】 0203742

【提出日】 平成15年 3月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/301

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 19

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 瀬戸 正己

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 坂 喜久男

【特許出願人】

 【識別番号】 000006747

 【氏名又は名称】 株式会社リコー

【代理人】

 【識別番号】 100085464

 【弁理士】

 【氏名又は名称】 野口 繁雄

【手数料の表示】

 【予納台帳番号】 037017

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9808801

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の主表面上に絶縁膜を介してヒューズ素子を備えた半導体装置において、

前記半導体基板に、前記ヒューズ素子の形成位置に対応してトリミング窓開口部が形成されていることを特徴とする半導体装置。

【請求項 2】 切断前の前記ヒューズ素子と前記トリミング窓開口部の間に前記絶縁膜が残存している請求項 1 又は 2 に記載の半導体装置。

【請求項 3】 前記トリミング窓開口部は前記半導体基板の裏面側から封止されている請求項 1、2 又は 3 に記載の半導体装置。

【請求項 4】 半導体装置の形成形状の角部分に丸みが形成されている請求項 1、2 又は 3 に記載の半導体装置。

【請求項 5】 複数の前記角部分の 1 つは、他の角部分とは異なる大きさで丸みが形成されている請求項 4 に記載の半導体装置。

【請求項 6】 半導体装置の少なくとも一側面に凹凸形状からなるバーコードが形成されている請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】 前記半導体基板の裏面に 1 又は複数の凹部からなるマーキングが形成されている請求項 1 から 6 のいずれかに記載の半導体装置。

【請求項 8】 前記半導体基板の裏面にレーザー照射によるマーキングが形成されている請求項 1 から 7 のいずれかに記載の半導体装置。

【請求項 9】 2 個以上の抵抗による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置において、

前記分割抵抗回路の形成領域において、請求項 1 から 8 のいずれかに記載の前記ヒューズ素子及び前記トリミング窓開口部を備えていることを特徴とする半導体装置。

【請求項 10】 入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗回路からの

分割電圧と前記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置において、

前記分割抵抗回路として請求項 9 に記載の分割抵抗回路を備えていることを特徴とする半導体装置。

【請求項 11】 入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗回路からの分割電圧と前記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて前記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置において、

前記分割抵抗回路として請求項 9 に記載の分割抵抗回路を備えていることを特徴とする半導体装置。

【請求項 12】 半導体基板の主表面上に絶縁膜を介してヒューズ素子を備えた半導体装置の製造方法において、

前記ヒューズ素子形成後のウェハ状の半導体基板の裏面側から、前記ヒューズ素子の形成領域に対応して、トリミング窓開口部を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 13】 異方性エッチングにより、前記トリミング窓開口部を形成する請求項 12 に記載の半導体装置の製造方法。

【請求項 14】 前記絶縁膜をエッチングストッパ層として用いる請求項 13 に記載の半導体装置の製造方法。

【請求項 15】 前記トリミング窓開口部の形成と同時に、ウェハ状の半導体基板を個片化する請求項 13 又は 14 に記載の半導体装置の製造方法。

【請求項 16】 半導体基板の主表面側の半導体ウェハの表面にテープ材料を貼り付けた後、半導体ウェハの裏面を研磨し、半導体ウェハを前記テープ材料に貼り付けた状態で、前記トリミング窓開口部を形成する請求項 12 から 15 のいずれかに記載の半導体装置の製造方法。

【請求項 17】 前記トリミング窓開口部を介して前記ヒューズ素子にレーザー照射を行なう際に、前記半導体基板の裏面にレーザー照射によるマーキングを形成する工程を含む請求項 12 から 16 のいずれかに記載の半導体装置の製造

方法。

【請求項 18】 前記トリミング窓開口部を封止する工程を含む請求項 12 から 17 のいずれかに記載の半導体装置の製造方法。

【請求項 19】 前記トリミング窓開口部に樹脂材料を充填することにより前記トリミング窓開口部を封止する請求項 18 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に半導体基板の主表面上に絶縁膜を介してヒューズ素子を備えた半導体装置及びその製造方法に関するものである。本発明が適用される半導体装置としては、例えばチップサイズパッケージ (Chip Size Package) を挙げることができる。チップサイズパッケージは CSP とも呼ばれ、チップサイズと同等か、わずかに大きいパッケージの総称であり、高密度実装を目的としたパッケージである。

【0002】

【従来の技術】

従来、半導体パッケージ分野では、一般に BGA (Ball Grid Array) と呼ばれ、平面状に配列された複数の半田ボールをもつ構造や、ファインピッチ BGA と呼ばれ、BGA のボールピッチをさらに狭ピッチにしてパッケージ外形がチップサイズに近くなった構造等が知られている。

また、最近では、ウェハレベル CSP がある (例えば特許文献 1 参照。)。ウェハレベル CSP は、基本的には、ダイシング前にアレイ状のパッドを作り込む CSP である。

【0003】

また、例えば電源 IC (集積回路) などのアナログ IC を備えた半導体装置において、抵抗値を調整するためにポリシリコン膜からなるヒューズ素子を備えているものがある。このようなヒューズ素子は、レーザートリミング工程において、トリミング窓開口部を介してレーザー照射されることによって切断される (例えば特許文献 2 参照。)。一般に、トリミング窓開口部は半導体基板の主表面上

の絶縁膜に形成されている。

【0004】

図19は従来のウェハレベルCSPにおけるヒューズ素子部分を示す断面図であり、(A)はレーザートリミング前の状態、(B)はレーザートリミング後の状態、(C)は樹脂封止後の状態を示す。図20は従来のウェハレベルCSPにおけるヒューズ素子及び金属電極パッド部分を示す断面図である。図21はレーザートリミング工程を含む従来のウェハレベルCSPの製造工程の一部を示すフローチャートである。以下、レーザートリミング工程を含む従来のウェハレベルCSPの製造方法を図19から図21を参照して説明する。

【0005】

半導体基板1の主表面1a上に下地絶縁膜3を形成し、下地絶縁膜3上にポリシリコン膜からなるヒューズ素子7、及びゲート電極や抵抗体などのポリシリコン膜5を形成する。半導体基板1上全面に例えばBPSG (borophosphosilicate glass) 膜からなる層間絶縁膜9を形成し、層間絶縁膜9に接続孔11を形成した後、層間絶縁膜9上及び接続孔11内に例えばAl (アルミニウム) からなる金属配線層13及び金属電極パッド15を形成する。その後、例えば下層がPSSG (phosphosilicate glass) 膜17、上層がSiN (silicon nitride) 膜19からなるパッシベーション膜を形成し、さらにその上にポリイミド膜21を形成する。ヒューズ素子7上の絶縁膜にレーザートリミングを行なうためのトリミング窓開口部85を形成し、金属電極パッド15上の絶縁膜に後で形成する金属配線層との電氣的接続を取るためのパッド開口部23を形成する。これにより、ヒューズ素子7の上の絶縁膜9が薄く残された状態、例えば0.2~0.6 μm (マイクロメートル) になる (図19 (A) 及び図21 (ステップS21) 参照)。

【0006】

金属電極パッド15を介してウェハテストを行なう (図21 (ステップS22) 参照)。アナログICの高精度化を行なうために、ウェハテスト結果に応じてレーザートリミング処理を行ない、ヒューズ素子7を切断する (ヒューズカット、図19 (B) 及び図21 (ステップS23) 参照)。図20には切断後のヒューズ素子部分を示す断面図である。

ーズ素子 7 を示している。

【0007】

レーザトリミング工程後、半導体基板 1 上全面に Cr（クロム）からなるバリアメタル層（図示は省略）及び Cu（銅）からなるメッキ用電極層をスパッタ法により形成する。このバリアメタル層は、Cu からなる金属配線層と金属電極パッド 15 との間に介在して Cu と Al が相互に侵入することを防止するためのものである。メッキ用電極層上の所定の領域にフォトレジストパターンを形成し、電解メッキにより Cu からなる第 2 金属配線層 25 及び第 2 金属電極パッド 27 を形成する。第 2 金属配線層 25 上及び第 2 金属電極パッド 27 上にバリアメタル層 33 を形成する。第 2 金属配線層 25 及び第 2 金属電極パッド 27 は再配線層とも呼ばれる（図 21（ステップ S24）参照）。

【0008】

フォトレジストパターンを除去した後、第 2 金属配線層 25 及び第 2 金属電極パッド 27 をマスクにして、不必要なメッキ用電極層及びバリアメタル層をウェットエッチングにより除去する。半導体基板上 1 上全面にポリイミド膜 29 を形成し（ポリイミドコート、図 19（C）及び図 21（ステップ S25）参照）、第 2 金属電極パッド 27 上に第 2 パッド開口部 31 を形成する（ボール装着部開口、図 21（ステップ S26）参照）。第 2 金属電極パッド 27 に SMT（表面実装技術）を用いて例えば半田からなる外部接続端子 35 を機械的に固着する（ボールマウント、図 20 及び図 21（ステップ S27）参照）。外部接続端子 35 について、クリーム半田をスクリーン印刷法で印刷した後、熱処理を施すことにより形成する場合もある。

【0009】

ウェハテスト後、半導体基板 1 の裏面 1b を研磨し（図 21（ステップ S28）参照）、半導体基板 1 をスクライブ工程でチップに分割して、ウェハレベル CSP を完成する（図 21（ステップ S29）参照）。

【0010】

図 22 を用いて従来技術の半導体装置の製造方法における半導体ウェハ（以下単にウェハと称す）の個片化について説明する。以下、図面において、ウェハに

は半導体基板と同じ符号を付す。このような製造方法は例えば特許文献 1 に記載されている。

【0011】

(1) 一表面上に半導体素子が形成され、さらにその上層に電極パッドを含む金属配線層（図示は省略）が形成されたウェハ 1 上に、電気メッキ等により、銅からなる配線を形成する。この銅配線はウェハ 1 上に形成された電極パッドに電氣的に接続されている。ウェハ 1 の銅配線形成面とは反対側の面（裏面）に紫外線硬化型ダイシングテープ 87 を貼り付けた後、高速回転させた外周刃（ダイシングソー）によってウェハ 1 の表面に溝 89 を形成する。溝 89 は個々のチップ（半導体装置）の周辺部となる部分に形成される。溝 89 の形成に用いられるダイシングソーの刃厚は $35 \sim 150 \mu\text{m}$ である。溝 89 の幅はこの刃厚よりも $1 \sim 5 \mu\text{m}$ だけ大きく形成され、その深さは例えば $10 \mu\text{m}$ 以上である。溝 89 の深さを $10 \mu\text{m}$ 以上にするにより、刃の先端の形状にあまり依存せずに、安定した幅で溝 89 を形成することが可能となる（（a）参照）。

【0012】

(2) ウェハ 1 の表面に対して樹脂 91 を充填する。この時に充填する樹脂 91 は溝 89 にも入り込む。樹脂 91 に覆われている銅配線の一部が露出するまで、研磨刃によって樹脂の表面を研磨した後、露出した銅配線上に半田ボール等による外部接続端子 35 を形成する。その後、高速回転するダイシングソーによって、溝 89 上に形成された樹脂 91 に溝 93 を形成する（（b）参照）。

【0013】

(3) 高速回転するダイシングソーによって、溝 93 に対応する領域のウェハ 1 を切断してウェハ 1 を個々のチップ 95 に分割する。この切断時に用いるダイシングソーは溝 93 を形成するときに用いたダイシングソーに比べて刃厚が薄いものを用いて、溝 53 を溝 93 よりも細い幅で形成する（（c）参照）。

(4) 紫外線を照射してダイシングテープ 87 を硬化させた後、ピックアップニードル 49 を用いて個片化されたチップ 95 を押し上げ、取り出す（（d）参照）。

【0014】

【特許文献 1】

特開 2000-260910 号公報

【特許文献 2】

特開平 11-135730 号公報

【0015】**【発明が解決しようとする課題】**

例えば抵抗値の調整をヒューズ素子の切断によって行なうアナログ IC において、従来技術のようにアセンブリ工程完了前にトリミングを行なうと、膜応力の変化などに起因してアセンブリ工程完了後に抵抗値が変動し、電気特性の精度が低下するという問題があった。

【0016】

さらに、ウェハレベル CSP の製造方法において、顧客の要求に合わせてレーザートリミング処理を行なう場合、レーザートリミング後にアセンブリ工程を行なうため、受注から発送までの工期が長くなるという問題があった。

【0017】

そこで本発明は、アセンブリ工程完了後にレーザートリミング処理を行なうことができる半導体装置及びその製造方法を提供することを目的とするものである。

【0018】**【課題を解決するための手段】**

本発明の半導体装置は、半導体基板の主表面上に絶縁膜を介してヒューズ素子を備えたものであって、上記半導体基板に、上記ヒューズ素子の形成位置に対応してトリミング窓開口部が形成されているものである。ここで、半導体基板の主表面とは、MOS トランジスタなどの半導体素子が形成される半導体基板の一表面をいう。

【0019】

本発明の半導体装置の製造方法は、半導体基板の主表面上に絶縁膜を介してヒューズ素子を備えた半導体装置の製造方法であって、上記ヒューズ素子形成後のウェハ状の半導体基板の裏面側から、上記ヒューズ素子の形成領域に対応して、

トリミング窓開口部を形成する工程を含む。上記トリミング窓開口部を形成する手段として例えば異方性エッチングを挙げることができる。

【0020】

本発明の半導体装置では、トリミング窓開口部は、従来技術のように半導体基板の主表面上の絶縁膜に形成されているのではなく、半導体基板に形成されている。

本発明の半導体装置の製造方法では、ヒューズ素子形成後のウェハ状の半導体基板の裏面側からトリミング窓開口部を形成する。

したがって、半導体基板の主表面上に形成される最終保護膜を形成した後、すなわちアセンブリ工程完了後に、レーザートリミング処理を行なうことができる。これにより、例えば抵抗値の調整をヒューズ素子の切断によって行なうアナログICにおいて、最終保護膜形成に起因するトリミング処理後の抵抗値変動をなくすことができ、電気特性の精度を向上させることができる。さらに、顧客の要求に合わせてトリミング処理を行なう場合に、受注から発送までの工期を短縮することができる。

【0021】

【発明の実施の形態】

本発明の半導体装置において、切断前の上記ヒューズ素子と上記トリミング窓開口部の間に上記絶縁膜が残存していることが好ましい。その結果、吸湿や酸化などによるヒューズ素子形成領域周辺の腐食を防止することができ、信頼性の向上を図ることができる。

【0022】

さらに、本発明の半導体装置において、上記トリミング窓開口部は上記半導体基板の裏面側から封止されていることが好ましい。その結果、切断後のヒューズ素子において異物混入によるショートを防止することができ、さらに、吸湿や酸化などによるヒューズ素子形成領域周辺の腐食を防止することができ、信頼性の向上を図ることができる。

【0023】

さらに、本発明の半導体装置において、半導体装置の形成形状の角部分に丸み

が形成されていることが好ましい。その結果、チップの搬送時などにおけるチップングやクラックの発生を防止することができ、外観不良の低減及び信頼性の向上を図ることができる。

【0024】

さらに、本発明の半導体装置において、チップの形成形状の角部分に丸みが形成されている場合、複数の上記角部分の1つは、他の角部分とは異なる大きさで丸みが形成されていることが好ましい。その結果、角部分の丸みの大きさから特定の角部分を認識することができるようになり、チップの向き、例えば1ピンの位置を認識することができる。

【0025】

さらに、本発明の半導体装置において、半導体装置の少なくとも一側面に凹凸形状からなるバーコードが形成されていることが好ましい。その結果、側面に設けられた凹凸形状からなるバーコードに例えばロット情報や製品情報などの情報を記録することができ、バーコードによりチップ認識をすることができるようになる。

【0026】

さらに、本発明の半導体装置において、上記半導体基板の裏面に1又は複数の凹部からなるマーキングが形成されていることが好ましい。その結果、複数の凹部からなるマーキングに例えばロット情報や製品情報などの情報を記録することができ、マーキングによりチップ認識をすることができるようになる。

【0027】

さらに、本発明の半導体装置において、上記半導体基板の裏面にレーザー照射によりマーキングが形成されていることが好ましい。その結果、レーザー照射によるマーキングに例えばロット情報や製品情報などの情報を記録することができ、マーキングによりチップ認識をすることができるようになる。

【0028】

本発明の半導体装置が適用される半導体装置の一例として、2個以上の抵抗による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置を挙げることができる。上記分割抵抗回路

の形成領域において、本発明の半導体装置を構成する上記ヒューズ素子及び上記トリミング窓開口部を備えている。

【 0 0 2 9 】

上述のように、本発明の半導体装置によればトリミング処理後の抵抗値の変動をなくすことができるので、分割抵抗回路の出力電圧の精度を向上させることができる。さらに、顧客の要求に合わせてトリミング処理を行なう場合に、受注から発送までの工期を短縮することができる。

【 0 0 3 0 】

本発明の半導体装置が適用される半導体装置の他の例として、入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置を挙げることができる。上記分割抵抗回路として本発明の半導体装置を構成する分割抵抗回路を備えている。

【 0 0 3 1 】

上述のように、本発明の半導体装置によればトリミング処理後の抵抗値の変動をなくすことができ、分割抵抗回路の出力電圧の精度を向上させることができるので、電圧検出回路の電圧検出能力の精度を向上させることができる。

【 0 0 3 2 】

本発明の半導体装置が適用される半導体装置のさらに他の例として、入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて上記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置を挙げることができる。上記分割抵抗回路として本発明の半導体装置を構成する分割抵抗回路を備えている。

【 0 0 3 3 】

上述のように、本発明の半導体装置によればトリミング処理後の抵抗値の変動をなくすことができ、分割抵抗回路の出力電圧の精度を向上させることができる

ので、定電圧発生回路の出力電圧の安定性を向上させることができる。

【0034】

本発明の半導体装置の製造方法において、上記絶縁膜をエッチングストッパ層として用いることが好ましい。

【0035】

トリミング窓開口部の形成領域において、安定にかつ精度良くレーザートリミングを行なうためと、半導体装置の信頼性の観点から、トリミング窓開口部の底部とヒューズ素子との間に適当な膜厚の絶縁膜を残存させることが要求される。一般に、半導体回路の集積度が増し、多層配線になると、ヒューズ素子の開口部のヒューズ素子のポリシリコン上の絶縁膜の膜厚を安定して形成することは困難になり、ヒューズ素子上の絶縁膜の残存膜厚の制御が困難であるという問題があった。

【0036】

本発明の半導体装置の製造方法において上記絶縁膜をエッチングストッパ層として用いることにより、半導体基板に形成されたトリミング窓開口部の底部と、ヒューズ素子との間に絶縁膜の膜厚を安定させて残存させることができる。これにより、多層配線化に対してもトリミング処理を安定した精度で実施することができる。

【0037】

さらに、本発明の半導体装置の製造方法において、異方性エッチングを用いて、上記トリミング窓開口部の形成と同時に、ウェハ状の半導体基板を個片化することが好ましい。

【0038】

ダイシングソーを用いてウェハからこのチップを切り出す従来の半導体装置の製造方法では、ダイシングを行なった場合、図23に示すように、半導体基板1の裏面側のチップング（チップ欠け）やクラック（亀裂）が大きくなり、チップの抗折応力の低下を招くという問題があった。また、ウェハレベルのCSPではチップ裏面に刻字され、チップ裏面は実装時に表面側となるため、チップングは外観上の問題ともなり得る。

【0039】

本発明の半導体装置の製造方法において異方性エッチングを用いて上記トリミング窓開口部の形成と同時にウェハ状の半導体基板を個片化することにより、切り出したチップ（半導体装置）のチップングやクラックの発生を防止することができる。

【0040】

さらに、従来のチップの個片化ではダイシング技術で縦横方向に切り出していたためチップの形状は長方形であったが、本発明の半導体装置の製造方法によればチップの個片化をエッチングで行なうことによりチップの形成形状を任意の形に加工することができる。

【0041】

さらに、本発明の半導体装置の製造方法において、半導体基板の主表面側の半導体ウェハの表面にテープ材料を貼り付けた後、半導体ウェハの裏面を研磨し、半導体ウェハを上記テープ材料に貼り付けた状態で、上記トリミング窓開口部を形成することが好ましい。

【0042】

その結果、研磨後の薄くなった半導体ウェハはテープ材料で支持されるため、搬送しやすくなり、チップの厚みを薄く仕上げることができる。さらに、トリミング窓開口部の形成と同時に半導体ウェハを個片化する場合は、従来技術で使用していたダイシングテープが不要となるため、製造工程での廃棄物の削減を図ることができる。

【0043】

さらに、上記トリミング窓開口部を介して上記ヒューズ素子にレーザー照射を行なう際に、上記半導体基板の裏面にレーザー照射によるマーキングを形成する工程を含むことが好ましい。

【0044】

その結果、レーザー照射によるヒューズ素子の切断工程において、例えばロット情報や製品情報などの情報を記録したマーキングを形成することができ、製造時間を短縮することができる。

【0 0 4 5】

さらに、本発明の半導体装置の製造方法において、上記トリミング窓開口部を封止する工程を含むことが好ましい。

上記トリミング窓開口部を封止する手段の一例として、上記トリミング窓開口部に樹脂材料を充填することを挙げることができる。

【0 0 4 6】

その結果、切断後のヒューズ素子において異物混入によるショートを防止することができ、さらに、吸湿や酸化などによるヒューズ素子形成領域周辺の腐食を防止することができ、信頼性の向上を図ることができる。

【0 0 4 7】

【実施例】

図 1 は、半導体装置の一実施例を示す図であり、(A) はヒューズ素子を切断していない部分のヒューズ素子及び金属電極パッド部分を示す断面図、(B) はヒューズ素子を切断した部分のヒューズ素子及び金属電極パッド部分を示す断面図を示す。

【0 0 4 8】

シリコン基板からなる半導体基板 1 上に、例えばシリコン酸化膜からなる下地絶縁膜 3 が形成されている。下地絶縁膜 3 の膜厚は例えば $0.5 \sim 0.8 \mu\text{m}$ である。下地絶縁膜 3 上にゲート電極や抵抗体などのポリシリコン膜 5 と、ポリシリコン膜からなるヒューズ素子 7 が形成されている。ポリシリコン膜 5 及びヒューズ素子 7 の形成領域を含む半導体基板 1 上全面に例えば B P S G 膜からなる層間絶縁膜 9 が形成されている。層間絶縁膜 9 にはポリシリコン膜 5 に対応して接続孔 1 1 が形成され、ヒューズ素子 7 に対応して接続孔 (図示は省略) が形成されている。

【0 0 4 9】

層間絶縁膜 9 上及び接続孔 1 1 内に例えば A l - S i 合金 (S i : 1 w % (質量パーセント)) からなる金属配線層 1 3 及び金属電極パッド 1 5 が形成されている。図 1 (B) では、ヒューズ素子 7 は切断されている。図 1 (A) 及び (B) にはそれぞれ 1 つずつしかヒューズ素子 7 を示していないが、半導体基板 1 の

他の領域に複数のヒューズ素子 7 が形成されている。

【0050】

層間絶縁膜 9 上に例えば下層が $0.4\ \mu\text{m}$ の膜厚をもつ PSG 膜 17、上層が $1.2\ \mu\text{m}$ の膜厚をもつ SiN 膜 19 からなるパッシベーション膜が形成されている。さらにその上に例えば $5.3\ \mu\text{m}$ の膜厚をもつポリイミド膜 21 が形成されている。ポリイミド膜 21 に替えて、例えばポリベンゾオキサゾール（スミレジン CRC-8300（住友ベークライト株式会社の製品））からなる膜を用いてもよい。

PSG 膜 17、SiN 膜 19 及びポリイミド膜 21 には、金属電極パッド 15 に対応してパッド開口部 23 が形成されている。

【0051】

ポリイミド膜 21 上及びパッド開口部 23 内に、例えば Al-Si 合金（Si：1w%）からなる第 2 金属配線層 25 及び第 2 金属電極パッド 27 が形成されている。第 2 金属配線層 25 上及び第 2 金属電極パッド 27 上に、例えば下層から順に Ti 層／Ni 層／Ag 層（膜厚： $0.1\ \mu\text{m}$ ／ $0.4\ \mu\text{m}$ ／ $0.1\ \mu\text{m}$ ）からなるバリアメタル層 33 が形成されている。

【0052】

第 2 金属配線層 25 上を含むポリイミド膜 21 上に、例えば $2.5\ \mu\text{m}$ の膜厚をもつポリイミド膜 29 が形成されている。ポリイミド膜 29 は最終保護膜を構成する。ポリイミド膜 29 に替えて、例えばポリベンゾオキサゾール（スミレジン CRC-8300（住友ベークライト株式会社の製品））からなる膜を用いてもよい。

【0053】

ポリイミド膜 29 には第 2 金属電極パッド 27 に対応して第 2 パッド開口部 31 が形成されている。第 2 金属電極パッド 27 上にバリアメタル層 33 を介して、例えば半田からなる外部接続端子 35 が形成されている。外部接続端子 35 はその先端部分がポリイミド膜 29 の表面から突出して設けられている。

【0054】

半導体基板 1 には、ヒューズ素子 7 の形成領域に対応して、裏面 1b から主表

面 1 a に貫通して、トリミング窓開口部 37 が形成されている。

切断されていないヒューズ素子 7 に対応するトリミング窓開口部 37 の底部と、ヒューズ素子 7 との間には下地酸化膜 3 が残存している（図 1（A）参照）。切断されているヒューズ素子 7 に対応する位置の下地酸化膜 3 は、ヒューズ素子 7 の切断時に同時に除去され、存在していない（図 1（B）参照）。

【0055】

トリミング窓開口部 37 内には、封止樹脂 39 が充填されている。封止樹脂 39 の材料としては、例えばエポキシ樹脂（CEL-C-3140（日立化成工業株式会社製））などを挙げることができる。

【0056】

図 2 は半導体装置の製造方法の一実施例を示すフローチャートである。図 3 から図 5 はその工程断面図である。以下、図面において、ウェハには半導体基板と同じ符号を付す。

【0057】

（1）シリコンからなるウェハ 1 の主表面 1 a 上に下地絶縁膜 3 を形成する。下地絶縁膜 3 上にポリシリコン膜 5 及びヒューズ素子 7 を形成する。下地絶縁膜 3 上に層間絶縁層 9 としての BPSG 膜を形成する。層間絶縁層 9 に接続孔 11 を形成するとともに、ウェハからチップを分割するための分離領域上の層間絶縁層 9 及び下地絶縁膜 3 を選択的に除去する。

【0058】

ウェハ 1 上全面に、例えばスパッタ法により、Al-Si 合金（Si：1w%）を $3\mu\text{m}$ の膜厚に堆積して金属材料層を形成し、写真製版技術及びエッチング技術により、金属材料層をパターンニングして金属配線層 13 及び金属電極パッド 15 を形成する。

【0059】

例えば CVD（化学的気相成長）法により、ウェハ 1 上全面に、PSG 膜 17 を $0.4\mu\text{m}$ の膜厚で形成し、さらにその上に SiN 膜 19 を $1.2\mu\text{m}$ の膜厚で形成してパッシベーション膜を形成する。さらにその上に、例えばポジ型感光性ポリイミド材料層を回転塗布により $5.3\mu\text{m}$ の膜厚に形成する。露光及び現像

処理により、金属電極パッド15と分離領域に対応してポジ型感光性ポリイミド材料層に開口部を形成する。その後、320℃のポリイミド硬化処理を行なってポリイミド膜21を形成する。

【0060】

ポリイミド膜21をマスクにして、SiN膜19及びPSG膜17をエッチングし、金属電極パッド15上のPSG膜17、SiN膜19及びポリイミド膜21にパッド開口部23を形成し、分離領域のPSG膜17、SiN膜19を除去する(図2(ステップS1)及び図3(a)参照)。

【0061】

(2) ポリイミド膜21上及びパッド開口部23内に第2金属配線層25及び第2金属電極パッド27を形成する。第2金属配線層25上面及び第2金属電極パッド27上面にバリアメタル層33を形成する(図2(ステップS2)及び図3(b)参照)。

【0062】

第2金属配線層25及び第2金属電極パッド27の材料は、例えばアルミニウム合金層(A1-Si合金(Si:1w%)、A1-Si-Cu合金(Si:1w%、Cu:0.5w%)やA1-Cu(Cu:1w%)、A1-Cu(Cu:2w%)など)や銅を挙げることができる。

【0063】

第2金属配線層25及び第2金属電極パッド27の材料にA1-Si合金(Si:1w%)を使用する場合、スパッタリング法によってA1-Si合金(Si:1w%)からなるアルミニウム合金層を3 μ mの厚みに成膜し、さらにその上にTi層/Ni層/Ag層(膜厚:0.1 μ m/0.4 μ m/0.1 μ m)からなるバリアメタル層33をスパッタリング法又は蒸着法によって成膜する。レジスト塗布、写真製版法による露光及び現像により配線パターンに対応したレジストパターンを形成する。ウェットエッチングによりバリアメタル層33を選択的に除去し、さらにドライエッチングによりアルミニウム合金層を選択的に除去して第2金属配線層25及び第2金属電極パッド27を完成させる。エッチング後、レジストパターンをプラズマアッシャーで除去する。バリアメタル層33は他の

金属材料であってもよく、例えばTi層/Ni層/Au層、Ni層/Pd層/Au層、などを挙げることができる。

【0064】

第2金属配線層25及び第2金属電極パッド27の材料に銅を使用する場合、スパッタリング法により、銅のマイグレーション防止と密着力向上のためのクロムを $0.1\mu\text{m}$ の膜厚で、銅を $0.5\mu\text{m}$ の膜厚で順次成膜する。レジスト塗布、写真製版法による露光及び現像により配線パターンに対応したレジストパターンを形成する。電解メッキ法により、銅配線を $5\mu\text{m}$ の膜厚に成膜し、さらにその上にニッケルを $3\mu\text{m}$ 、パラジウムを $0.5\mu\text{m}$ 、金を $1\mu\text{m}$ の膜厚で順次成膜してバリアメタル層33を形成する。アッシャーでレジストパターンを除去した後、銅配線が形成されていない部分のクロム及び銅をウェットエッチングで除去し、第2金属配線層25及び第2金属電極パッド27を完成させる。

【0065】

(3) スピンコート法により、例えばネガ型感光性ポリイミド材料層を $25\mu\text{m}$ の膜厚で塗布形成する(図2(ステップS3)参照)。

【0066】

(4) 第2パッド開口部形成領域及び分離領域に対応して遮光部をもつレチクルを用いて露光処理を施して、第2パッド開口部形成領域及び分離領域を除くネガ型感光性ポリイミド材料層に光照射する。現像処理を施して、ネガ型感光性ポリイミド材料層に第2金属電極パッド27の形成領域に対応して第2パッド開口部31を形成し、分離領域のネガ型感光性ポリイミド材料層を除去する。その後、 320°C のポリイミド硬化処理を施してポリイミド膜29を形成する(図2(ステップS4)及び図3(c)参照)。

【0067】

(5) スクリーン印刷法により、第2パッド開口部31の位置に対応して、クリーム半田を $300\mu\text{m}$ の厚みに成膜した後、赤外線リフロー炉を用いた加熱溶融法により温度 260°C で10秒間加熱して外部接続端子35を形成する。その後、スクリーン印刷法で用いたフラックスを専用洗浄液で除去し、水洗、乾燥させる(図2(ステップ5)及び図3(d)参照)。

【0068】

続きの工程を図4及び図5を参照して説明する。図4及び図5では、上記の工程(1)から工程(5)で形成した絶縁層及び金属配線層の図示は省略し、ウェハ1として一体化して示している。また、分離領域に対応してポリイミド膜29に設けられた溝の図示は省略している。

【0069】

(6) 外部接続端子35にテストピン36を接触させてウェハテストを行なう。これにより、チップごとに切断するヒューズ素子を決定し、チップごとにデータ保存する(図2(ステップS6)及び図4(e)参照)。

【0070】

(7) 外部接続端子35が形成されている側のウェハ1の表面1aにグラインド研磨時の表面保護テープ(テープ材料)41を貼り付ける。ここで、表面保護テープ41は、例えば紫外線を照射することにより硬化して粘着力が無くなるものを使用する(図4(f)参照)。

ウェハ1の裏面1bをグラインド研磨して、ウェハ1の厚みを例えば50～200 μm にする(図2(ステップ7)及び図4(g)参照)。

【0071】

(8) ウェハ1の裏面1bを研磨した後、表面保護テープ41を剥がさずに残した状態で、裏面1b上にフォトレジスト43をスピコートにより塗布する(図4(h)参照)。

IRアライナのIR赤外線透過式の位置合わせ機能又は画像認識による表裏位置合わせ機能を使用してウェハ1のトリミング窓開口部形成領域及び分離領域と位置合わせを行ない、フォトレジスト43を露光及び現像して、図6にも示すように、トリミング窓開口部形成領域に対応して開口部45を形成し、分離領域に対応してフォトレジスト43に開口部47を形成する(図5(i)参照)。開口部45の寸法は例えば5×5 μm であり、開口部47の幅寸法は例えば1～10 μm である。フォトレジスト43には、上面側から見て、チップ形成領域形状に対応して角部分に丸みが設けられている(図6参照)。

【0072】

表面保護テープ 41 を残した状態で、例えば、ウェハ 1 を裏面 1b がプラズマ室に向くようにして、陽極結合方式の平行平板型ドライエッチング装置（ICP（Inductive Coupled Plasma）エッチャ）を用いてウェハ 1 のエッチングを行なう。SF₆（六弗化硫黄）と C₄F₈（パーフルオロシクロブタン）をそれぞれ 110 cc、100 cc の割合で混合した反応ガスを導入口から流入させ、反応室内を 2.1 Pa の圧力に保持し、コイルに 600 W の高周波電力を 5.5 秒間印加して、露出した被加工部のシリコンとプラズマ内に残存するラジカルや反応ガスイオンとの間に物理化学的反応等を起こさせることでウェハ 1 の被加工部からシリコンを除去する。次に、SF₆ を止め、C₄F₈ を 190 cc 流し、反応室内を 1.6 Pa の圧力に保持し、コイルに 600 W の高周波電力を 5 秒間印加して、シリコンの除去された溝又はホールの側壁部に反応生成物を付着させる。これらの 5.5 秒と 5.0 秒のステップ繰り返し、反応生成物が溝又はホールの側壁部のエッチングマスクとなりながら、異方的にエッチングが進行する。

【0073】

このプラズマエッチング処理では、トリミング窓開口部形成領域においては下地酸化膜 3 がエッチングストップ層として機能し、分離領域においては表面保護テープ 41 でエッチングがストップする。これにより、ヒューズ素子の形成領域に対応してトリミング窓開口部 37 が形成され、ウェハ 1 が個々のチップ 4 に分割される（図 2（ステップ S8）及び図 5（j）参照）。

【0074】

アッシャーにより、フォトレジスト 43 の除去を行なう（図 5（k）参照）。図 7 に、トリミング窓開口部 37 が形成され、ウェハ 1 が個々のチップ 4 に分割された状態を拡大して示す断面図を示す。

【0075】

（9）上記工程（6）でのウェハテスト結果に基づいて、所定のヒューズ素子に IR アライナを利用してレーザー照射を行なってトリミング処理を行なう（図 2（ステップ S9）参照）。図 8 に、ヒューズ素子 7 が切断された状態の断面図を拡大して示す。このとき、裏面 1b にチップ識別用のレーザーマーキングを行なう。レーザーマーキングでは IR アライナを利用し、各チップ形成領域に対応し

て裏面 1 b に印字（図示は省略）を設ける。

【0076】

（10）レーザートリミング処理後のウェハ 1 のトリミング窓開口部 37 内に、封止樹脂 39 を充填する（図 2（ステップ S 10）及び図 5（1）参照）。

図 1 及び図 5（1）において、封止樹脂 39 はトリミング窓開口部 37 の底部（ウェハ 1 の主表面 1 a 側）まで充填されているが、本発明はこれに限定されるものではなく、少なくともトリミング窓開口部 37 の裏面 1 b 側の部分が封止されている状態であればよい。

【0077】

（11）ウェハ 1 の表面 1 a 側に紫外線照射機で紫外線照射し、表面保護テープ 41 の粘着力をなくす。ピックアップニードル 49 でチップ 4 を押し上げ、個片化したチップ 4 の取り出しを行なう（図 2（ステップ S 11）及び図 5（m）参照）。

【0078】

この実施例では、トリミング窓開口部 37 の形成について、半導体基板の主表面上の絶縁膜に形成するのではなく、最終保護膜であるポリイミド膜 29 を形成した後（工程（4）参照）、すなわちアセンブリ工程完了後に、ウェハ 1 の裏面 1 b 側からトリミング窓開口部 37 を形成する（工程（8）参照）。そして、トリミング窓開口部 37 を介してレーザートリミング処理（工程（9）参照）を行なっているので、従来技術のようにトリミング処理後に最終保護膜を形成する工程はなく、例えば抵抗値の調整をヒューズ素子の切断によって行なうアナログ IC において、トリミング処理後の抵抗値の変動をなくすことができ、電気特性の精度を向上させることができる。さらに、顧客の要求に合わせてトリミング処理を行なう場合に、受注から発送までの工期を短縮することができる。

【0079】

さらに、この実施例では、上記工程（8）において、トリミング窓開口部 37 を形成する際に下地絶縁膜 3 をエッチングストップ層として用いているので（図 7 参照）、トリミング窓開口部 37 の底部とヒューズ素子 7 との間に絶縁膜の膜厚を安定させて残存させることができる。これにより、多層配線化に対してもト

リミング処理を安定した精度で実施することができる。

【0080】

さらに、この実施例では、上記工程（7）において、ウェハ1の表面1aに表面保護テープ41を貼り付けた後、ウェハ1の裏面1bを研磨し、上記工程（8）において、ウェハ1を表面保護テープ41に貼り付けた状態で、トリミング窓開口部37を形成しているため、研磨後の薄くなったウェハ1は表面保護テープ41で支持されるため、搬送しやすくなり、チップ4の厚みを薄く仕上げる事ができる。

【0081】

さらに、この実施例では、上記工程（8）において、トリミング窓開口部37の形成と同時に、ウェハ2を個片化しているため、切り出したチップ4のチッピングやクラックの発生を防止することができる。さらに、従来技術で使用していたダイシングテープが不要となるため、製造工程での廃棄物の削減を図ることができる。

【0082】

さらに、従来のチップの個片化ではダイシング技術で縦横方向に切り出していたためチップの形状は長方形であったが、この実施例によれば、チップ4の個片化をエッチングで行なうことによりチップ4の形成形状を任意の形に加工することができる。

【0083】

図9は取り出したチップ4を示す平面図であり、（A）は上面を示し、（B）は裏面を示す。

取り出したチップ4の外形を形成する半導体基板1及びポリイミド膜29の形成形状は、その角部分30が丸みをもって形成されている。これにより、チップの搬送時などにおけるチッピングやクラックの発生を防止することができ、外観不良の低減及び信頼性の向上を図ることができる。

【0084】

また、チップ4の裏面1bには、上記工程（9）で、レーザートリミング処理と同時に、レーザー照射により刻印したレーザーマーキング51が形成されてい

る（（B）参照）。レーザーマーキング51には例えばロット情報や製品情報などの情報が記録されている。レーザートリミング処理と同時にレーザーマーキング51を印字することにより、製造時間を短縮することができる。

【0085】

さらに、この実施例では、封止樹脂39によりトリミング窓開口部37を封止しているので、切断後のヒューズ素子7（図1（B）参照）において異物混入によるショートを防止することができ、さらに、吸湿や酸化などによるヒューズ素子形成領域周辺の腐食を防止することができ、信頼性の向上を図ることができる。

【0086】

図10は、半導体装置の他の実施例を示す図であり、（A）は平面図、（B）は側面図である。図1及び図9と同じ部分には同じ符号を付し、それらの部分の説明は省略する。

半導体基板1の表面1bに、凹部からなるドット53が複数形成されており、ドット53によりマーキングが形成されている。

【0087】

図11は、半導体装置の製造方法の他の実施例の一部を示す工程断面図である。この実施例は図10に示したチップを製作するものである。工程（1）から工程（5）までは図2から図5を参照して説明した実施例とほぼ同じなので説明を省略する。以下、この実施例を工程（6）から説明する。

【0088】

（8）裏面1bにフォトレジスト43を形成したウェハ1について、IRアライナを使用してウェハ1のトリミング窓開口部形成領域及び分離領域と位置合わせを行ない、フォトレジスト43を露光及び現像して、トリミング窓開口部形成領域に対応して開口部（図示は省略）を形成し、フォトレジスト43に分離領域に対応して開口部47を形成し、マーキング用のドット53（図10参照）に対応して開口部55を形成する（図11（i）参照）。各開口部55の大きさは、例えば写真製版の解像限界の大きさで形成する。また、フォトレジスト43には、上面側から見て、チップ形成領域形状に対応して角部分に丸みが設けられている

。

【0089】

(9) 表面保護テープ41を残した状態で、図5(j)を参照して説明した上記工程(8)と同様にしてウェハ1のエッチングを行なう。これにより、トリミング窓開口部(図示は省略)が形成され、開口部47に対応する分離領域のウェハ1が選択的に除去されてウェハ1が個々のチップ4に分割されるとともに、開口部55に対応してウェハ1の裏面1bに凹部からなるドット53が形成される。開口部55の寸法は小さいので、トリミング窓開口部に対応する開口部及び分離領域に対応する開口部55に対応する領域のウェハ1のエッチングレートは開口部47に対応する領域に比べて遅くなり、ドット53はウェハ1を貫通しない(図11(j)参照)。

【0090】

(10) アッシャーにより、フォトレジスト43の除去を行なう。

図4(e)を参照して説明した上記工程(6)でのウェハテスト結果に基づいて、所定のヒューズ素子にIRアライナを利用してレーザー照射を行なってトリミング処理を行なう。このとき、裏面1bに、トリミング窓開口部(図示は省略)及び凹部53とは異なる領域にレーザーマーキングを行なってもよい。

レーザートリミング処理後のウェハ1のトリミング窓開口部内に、封止樹脂(図示は省略)を充填する。(図11(k)参照)。

【0091】

(11) ウェハ1の表面1a側に紫外線照射機で紫外線照射し、表面保護テープ41の粘着力をなくす。ピックアップニードル49でチップ4を押し上げ、個片化したチップ4の取り出しを行なう(図11(l)参照)。

【0092】

このように、チップ4の形成領域内にマーキング形成用の開口部55をもつフォトレジスト43をマスクにして、トリミング窓開口部の形成及びチップ4の切出しを行なうことにより、トリミング窓開口部の形成及びチップ4の切出しと同時に、例えばロット情報や製品情報などの情報をドット53からなるマーキングに記録することができ、マーキング用の印字工程をなくすることができる。

【0093】

図12は、半導体装置のさらに他の実施例を示す図であり、(A)は平面図、(B)は側面図である。図1及び図9と同じ部分には同じ符号を付し、それらの部分の説明は省略する。

【0094】

チップ4の一側面に、凹凸形状からなるバーコード57が形成されている。バーコード57には、例えばロット情報や製品情報などの情報が記録されている。

【0095】

このチップを製作するための、半導体装置の製造方法の他の実施例は、図2から図5を参照して説明した実施例とほぼ同じである。異なる点は、図5(i)を参照して説明した上記工程(8)において、フォトレジスト43に、開口部45、47に加えて、バーコード57に対応する凹凸形状を形成する点である。その後、バーコード57に対応する凹凸形状をもつフォトレジスト43をマスクにしてウェハ1を選択的に除去することにより、トリミング窓開口部39の形成及びチップ4の切出しと同時に、チップ4の一側面に凹凸形状からなるバーコード57を形成することができる。また、図2ステップS9を参照して説明した上記工程(9)におけるレーザートリミング処理工程において、ウェハ1の裏面1bへのチップ識別用のレーザーマーキングは行なくてもよいし、行なわなくてもよい。

【0096】

図13は、半導体装置のさらに他の実施例を示す図であり、(A)は平面図、(B)は側面図である。図1及び図9と同じ部分には同じ符号を付し、それらの部分の説明は省略する。

【0097】

外部接続端子35の1つである1ピンの位置に最も近い角部分30aは、他の3つの角部分30bに比べて丸みの大きさが大きく形成されている。これにより、角部分30a、30bの大きさから1ピンの位置を認識することができる。

【0098】

このチップを製作するための、半導体装置の製造方法の他の実施例は、図2か

ら図5を参照して説明した実施例とはほぼ同じである。異なる点は、図5(i)を参照して説明した上記工程(8)において、フォトレジスト43に開口部45、47を形成する際に、角部分30aに対応する領域のフォトレジスト43の角部分が角部分30bに対応する領域のフォトレジスト43の角部分よりも丸みの大きさが大きくなるように、開口部47を形成する点である。その後、角部分の丸みの大きさが異なるフォトレジスト43をマスクにしてウェハ1を選択的に除去することにより、トリミング窓開口部39の形成及びチップ4の切出しと同時に、角部分30aの丸みの大きさが他の3つの角部分30bに比べて大きく形成されたチップ4を形成することができる。また、図2ステップS9を参照して説明した上記工程(9)におけるレーザートリミング処理工程において、ウェハ1の裏面1bへのチップ識別用のレーザーマーキングは行なってもよいし、行なわなくてもよい。

【0099】

上記の実施例では、本発明の半導体装置をウェハレベルCSPに適用しているが、本発明はこれに限定されるものではなく、半導体基板の主表面上に絶縁膜を介してヒューズ素子を備えた半導体装置であれば、どのような半導体装置にも適用することができる。

【0100】

また、上記の実施例では、トリミング窓開口部37を封止樹脂39により封止しているが、本発明はこれに限定されるものではなく、他の方法、例えば半導体基板1の裏面1bに絶縁膜を形成する等により、トリミング窓開口部37を封止するようにしてもよい。

【0101】

本発明が適用される、レーザートリミングにより電気的特性が調整されるアナログ回路を含む半導体装置の例として、例えば定電圧発生回路を備えた半導体装置や電圧検出回路を備えた半導体装置を挙げることができる。

【0102】

図14は定電圧発生回路を備えた半導体装置の一実施例を示す回路図である。直流電源59からの電源を負荷61に安定して供給すべく、定電圧発生回路6

3 が設けられている。定電圧発生回路 63 は、直流電源 59 が接続される入力端子 (Vbat) 65、基準電圧発生回路 (Vref) 67、演算増幅器 69、出力ドライバを構成する P チャネル型 MOS トランジスタ (以下、PMOS と略記する) 71、分割抵抗 R1、R2 及び出力端子 (Vout) 73 を備えている。

【0103】

定電圧発生回路 63 の演算増幅器 69 では、出力端子が PMOS 71 のゲート電極に接続され、反転入力端子に基準電圧発生回路 67 から基準電圧 Vref が印加され、非反転入力端子に出力電圧 Vout を抵抗 R1 と R2 で分割した電圧が印加され、抵抗 R1、R2 の分割電圧が基準電圧 Vref に等しくなるように制御される。

【0104】

図 15 は、電圧検出回路を備えた半導体装置の一実施例を示す回路図である。

69 は演算増幅器で、その反転入力端子に基準電圧発生回路 67 が接続され、基準電圧 Vref が印加される。入力端子 (Vsens) 77 から入力される測定すべき端子の電圧が分割抵抗 R1 と R2 によって分割されて演算増幅器 69 の非反転入力端子に入力される。演算増幅器 69 の出力は出力端子 79 を介して外部に出力される。

【0105】

電圧検出回路 75 において、測定すべき端子の電圧が高く、分割抵抗 R1 と R2 により分割された電圧が基準電圧 Vref よりも高いときは演算増幅器 69 の出力が H レベルを維持し、測定すべき端子の電圧が降下してきて分割抵抗 R1 と R2 により分割された電圧が基準電圧 Vref 以下になると演算増幅器 69 の出力が L レベルになる。

【0106】

一般に、図 14 に示した定電圧発生回路や図 15 に示した電圧検出回路では、製造プロセスのバラツキに起因して基準電圧発生回路からの基準電圧 Vref が変動するので、その変動に対応すべく、分割抵抗としてヒューズ素子の切断により抵抗値を調整可能な抵抗回路 (分割抵抗回路と称す) を用いて、分割抵抗の抵抗値を調整している。

【0107】

図16は、本発明のヒューズ素子及びトリミング窓開口部が適用される分割抵抗回路の一例を示す回路図である。図17及び図18は、その分割抵抗回路のレイアウト例を示すレイアウト図であり、図17はヒューズ素子部分のレイアウト例を示し、図18は設定抵抗素子部分のレイアウト例を示す。

【0108】

図16に示すように、抵抗素子 R_{bottom} 、 $m+1$ 個（ m は正の整数）の設定抵抗素子 R_{T0} 、 R_{T1} 、 \dots 、 R_{Tm} 、抵抗素子 R_{top} が直列に接続されている。設定抵抗素子 R_{T0} 、 R_{T1} 、 \dots 、 R_{Tm} には、各設定抵抗素子に対応してヒューズ素子 R_{L0} 、 R_{L1} 、 \dots 、 R_{Lm} が並列に接続されている。

【0109】

図17に示すように、ヒューズ素子 R_{L0} 、 R_{L1} 、 \dots 、 R_{Lm} は、例えばシート抵抗が $20\Omega \sim 40\Omega$ のポリシリコン膜により形成されている。これらのヒューズ素子は図1のヒューズ素子7に対応している。図16での図示は省略しているが、各ヒューズ素子の形成領域に対応して、半導体基板にトリミング窓開口部37（図1参照）が形成されている。

【0110】

設定抵抗素子 R_{T0} 、 R_{T1} 、 \dots 、 R_{Tm} の値は抵抗素子 R_{bottom} 側から順に二進数的に増加するように設定されている。すなわち、設定抵抗素子 R_{Tn} の抵抗値は、設定抵抗素子 R_{T0} の抵抗値を単位値とし、その単位値の 2^n 倍である。

例えば、図18に示すように、同じ素材、同じ向き及び同じ寸法で形成された複数のポリシリコンパターン81を用い、設定抵抗素子 R_{T0} を1本のポリシリコンパターン81を単位抵抗値とし、設定抵抗素子 R_{Tn} を 2^n 本のポリシリコンパターン81により構成する。ポリシリコンパターン81は、例えばP型不純物又はN型不純物が注入されて $100\Omega \sim 10k\Omega$ のシート抵抗をもつ高抵抗ポリシリコン膜により形成される。

【0111】

図17及び図18において、符号A-A間、符号B-B間、符号C-C間、符号D-D、符号E-E、符号F-F及び符号G-G間はそれぞれメタル配線83

により電氣的に接続されている。メタル配線 83 は、例えばアルミニウム 98.5%、シリコン 1%、銅 0.5% を含む合金により形成され、そのシート抵抗は $0.04\ \Omega \sim 0.1\ \Omega$ である。

【0112】

このように、抵抗対の比の精度が重視される分割抵抗回路では、製造工程での作り込み精度を上げるために、一对の設定抵抗素子及びヒューズ素子からなる単位抵抗が直列に接続されて梯子状に配置されている。

このような分割抵抗回路では、任意のヒューズ素子 $RL0, RL1, \dots, RLm$ をレーザービームで切断することにより、所望の直列抵抗値を得ることができる。

【0113】

図 16 に示した分割抵抗回路を図 14 に示した定電圧発生回路の分割抵抗 $R1, R2$ に適用する場合、例えば抵抗素子 R_{bottom} 端を接地し、抵抗素子 R_{top} 端を PMOS 71 のドレインに接続する。さらに、抵抗素子 $R_{bottom}, RT0$ 間の端子 $NodeL$ 、又は抵抗素子 R_{top}, RTm 間の端子 $NodeM$ を演算増幅器 69 の非反転入力端子に接続する。

【0114】

また、図 16 に示した分割抵抗回路を図 15 に示した電圧検出回路の分割抵抗 $R1, R2$ に適用する場合、例えば抵抗素子 R_{bottom} 端を接地し、抵抗素子 R_{top} 端を入力端子 77 に接続する。さらに、抵抗素子 $R_{bottom}, RT0$ 間の端子 $NodeL$ 、又は抵抗素子 R_{top}, RTm 間の端子 $NodeM$ を演算増幅器 69 の非反転入力端子に接続する。

【0115】

本発明のヒューズ素子及びトリミング窓開口部を適用した分割抵抗回路においては、アセンブリ工程完了後にレーザートリミング処理を行なうことができ、従来技術のようにトリミング処理後にアセンブリ工程が行なわれることはないのので、分割抵抗回路の出力電圧の精度を向上させることができる。さらに、顧客の要求に合わせてトリミング処理を行なう場合に、受注から発送までの工期を短縮することができる。

【0116】

さらに、図14に示した、本発明のヒューズ素子及びトリミング窓開口部を適用した分割抵抗回路を備えている定電圧発生回路63では、分割抵抗回路を構成する分割抵抗 R_1 、 R_2 の出力電圧の精度を向上させることができるので、定電圧発生回路63の出力電圧の安定性を向上させることができる。

【0117】

さらに、図15に示した、本発明のヒューズ素子及びトリミング窓開口部を適用した分割抵抗回路を備えている電圧検出回路75では、分割抵抗回路を構成する分割抵抗 R_1 、 R_2 の出力電圧の精度を向上させることができるので、電圧検出回路75の電圧検出能力の精度を向上させることができる。

【0118】

ただし、本発明のヒューズ素子及びトリミング窓開口部を適用した分割抵抗回路が適用される半導体装置は、定電圧発生回路を備えた半導体装置及び電圧検出回路を備えた半導体装置に限定されるものではなく、分割抵抗回路を備えた半導体装置であれば適用することができる。

【0119】

また、本発明のヒューズ素子及びトリミング窓開口部が適用される半導体装置は分割抵抗回路を備えた半導体装置に限定されるものではなく、ヒューズ素子及びトリミング窓開口部を備えた半導体装置であれば、本発明を適用することができる。

【0120】

以上、本発明の実施例を説明したが、本発明はこれに限定されるものではなく、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

【0121】**【発明の効果】**

請求項1に記載された半導体装置では、半導体基板に、ヒューズ素子の形成位置に対応してトリミング窓開口部が形成されているようにしたので、アセンブリ工程完了後に、レーザートリミング処理を行なうことができる。これにより、例えば抵抗値の調整をヒューズ素子の切断によって行なうアナログICにおいて、

トリミング処理後の抵抗値の変動をなくすことができ、電気特性の精度を向上させることができ、さらに、顧客の要求に合わせてトリミング処理を行なう場合に、受注から発送までの工期を短縮することができる。

【 0 1 2 2 】

請求項 2 に記載された半導体装置では、切断前のヒューズ素子とトリミング窓開口部の間に絶縁膜が残存しているようにしたので、吸湿や酸化などによるヒューズ素子形成領域周辺の腐食を防止することができ、信頼性の向上を図ることができる。

【 0 1 2 3 】

請求項 3 に記載された半導体装置では、トリミング窓開口部は半導体基板の裏面側から封止されているようにしたので、切断後のヒューズ素子において異物混入によるショートを防止することができ、さらに、吸湿や酸化などによるヒューズ素子形成領域周辺の腐食を防止することができ、信頼性の向上を図ることができる。

【 0 1 2 4 】

請求項 4 に記載された半導体装置では、半導体装置の形成形状の角部分に丸みが形成されているようにしたので、チップの搬送時などにおけるチップングやクラックの発生を防止することができ、外観不良の低減及び信頼性の向上を図ることができる。

【 0 1 2 5 】

請求項 5 に記載された半導体装置では、チップの形成形状の角部分に丸みが形成されている場合、複数の角部分の 1 つは、他の角部分とは異なる大きさで丸みが形成されているようにしたので、角部分の丸みの大きさから特定の角部分を認識することができるようになり、チップの向き、例えば 1 ピンの位置を認識することができる。

【 0 1 2 6 】

請求項 6 に記載された半導体装置では、半導体装置の少なくとも一側面に凹凸形状からなるバーコードが形成されているようにしたので、側面に設けられた凹凸形状からなるバーコードに例えばロット情報や製品情報などの情報を記録する

ことができ、バーコードによりチップ認識をすることができるようになる。

【0127】

請求項7に記載された半導体装置では、半導体基板の裏面に1又は複数の凹部からなるマーキングが形成されているようにしたので、複数の凹部からなるマーキングに例えばロット情報や製品情報などの情報を記録することができ、マーキングによりチップ認識をすることができるようになる。

【0128】

請求項8に記載された半導体装置では、半導体基板の裏面にレーザー照射によりマーキングが形成されているようにしたので、レーザー照射によるマーキングに例えばロット情報や製品情報などの情報を記録することができ、マーキングによりチップ認識をすることができるようになる。

【0129】

請求項9に記載された半導体装置では、2個以上の抵抗による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置の分割抵抗回路の形成領域において、本発明の半導体装置を構成するヒューズ素子及びトリミング窓開口部を備えているようにしたので、トリミング処理後の抵抗値の変動をなくすことができ、分割抵抗回路の出力電圧の精度を向上させることができる。さらに、顧客の要求に合わせてトリミング処理を行なう場合に、受注から発送までの工期を短縮することができる。

【0130】

請求項10に記載された半導体装置では、分割抵抗回路と基準電圧発生回路と比較回路をもつ電圧検出回路を備えた半導体装置において、分割抵抗回路として本発明の半導体装置を構成する分割抵抗回路を備えているようにしたので、分割抵抗回路の出力電圧の精度を向上させて、電圧検出回路の電圧検出能力の精度を向上させることができる。

【0131】

請求項11に記載された半導体装置では、出力ドライバと分割抵抗回路と基準電圧発生回路と比較回路をもつ定電圧発生回路を備えた半導体装置において、分割抵抗回路として本発明の半導体装置を構成する分割抵抗回路を備えているよう

にしたので、分割抵抗回路の出力電圧の精度を向上させて、定電圧発生回路の出力電圧の安定性を向上させることができる。

【0 1 3 2】

請求項 1 2 及び 1 3 に記載された半導体装置の製造方法では、ヒューズ素子形成後のウェハ状の半導体基板の裏面側から、ヒューズ素子の形成領域に対応して、トリミング窓開口部を形成する工程を含むようにしたので、アセンブリ工程完了後に、レーザートリミング処理を行なうことができる。これにより、例えば抵抗値の調整をヒューズ素子の切断によって行なうアナログ IC において、トリミング処理後の抵抗値の変動をなくすことができ、電気特性の精度を向上させることができ、さらに、顧客の要求に合わせてトリミング処理を行なう場合に、受注から発送までの工期を短縮することができる。

【0 1 3 3】

請求項 1 4 に記載された半導体装置の製造方法では、絶縁膜をエッチングストッパ層として用いるようにしたので、半導体基板に形成されたトリミング窓開口部の底部と、ヒューズ素子との間に絶縁膜の膜厚を安定させて残存させることができる。これにより、多層配線化に対してもトリミング処理を安定した精度で実施することができる。

【0 1 3 4】

請求項 1 5 に記載された半導体装置の製造方法では、異方性エッチングを用いて、トリミング窓開口部の形成と同時に、ウェハ状の半導体基板を個片化するようにしたので、切り出したチップのチップングやクラックの発生を防止することができる。さらに、チップの形成形状を任意の形に加工することができる。

【0 1 3 5】

請求項 1 6 に記載された半導体装置の製造方法では、半導体基板の主表面側の半導体ウェハの表面にテープ材料を貼り付けた後、半導体ウェハの裏面を研磨し、半導体ウェハをテープ材料に貼り付けた状態で、トリミング窓開口部を形成するようにしたので、研磨後の薄くなった半導体ウェハはテープ材料で支持されるため、搬送しやすくなり、チップの厚みを薄く仕上げるができる。さらに、トリミング窓開口部の形成と同時に半導体ウェハを個片化する場合は、従来技術

で使用していたダイシングテープが不要となるため、製造工程での廃棄物の削減を図ることができる。

【0136】

請求項17に記載された半導体装置の製造方法では、トリミング窓開口部を介してヒューズ素子にレーザー照射を行なう際に、半導体基板の裏面にレーザー照射によるマーキングを形成する工程を含むようにしたので、レーザー照射によるヒューズ素子の切断工程において、例えばロット情報や製品情報などの情報を記録したマーキングを形成することができ、製造時間を短縮することができる。

【0137】

請求項18及び19に記載された半導体装置の製造方法では、トリミング窓開口部を封止する工程を含むようにしたので、切断後のヒューズ素子において異物混入によるショートを防止することができ、さらに、吸湿や酸化などによるヒューズ素子形成領域周辺の腐食を防止することができ、信頼性の向上を図ることができる。

【図面の簡単な説明】

【図1】

半導体装置の一実施例を示す図であり、(A)はヒューズ素子を切断していない部分のヒューズ素子及び金属電極パッド部分を示す断面図、(B)はヒューズ素子を切断した部分のヒューズ素子及び金属電極パッド部分を示す断面図を示す。

【図2】

半導体装置の製造方法の一実施例を示すフローチャートである。

【図3】

同実施例の最初を示す工程断面図である。

【図4】

同実施例の続きを示す工程断面図である。

【図5】

同実施例の最後を示す工程断面図である。

【図6】

同実施例でトリミング窓開口部の形成及びウェハの分割に用いるフォトレジストを示す平面図である。

【図 7】

同実施例において、トリミング窓開口部が形成され、ウェハが個々のチップに分割された状態を拡大して示す断面図である。

【図 8】

同実施例において、ヒューズ素子が切断された状態を示す断面図である。

【図 9】

取り出したチップを示す平面図であり、(A)は上面を示し、(B)は裏面を示す。

【図 10】

半導体装置の他の実施例を示す図であり、(A)は平面図、(B)は側面図である。

【図 11】

半導体装置の製造方法の他の実施例の一部を示す工程断面図である。

【図 12】

半導体装置のさらに他の実施例を示す図であり、(A)は平面図、(B)は側面図である

【図 13】

半導体装置のさらに他の実施例を示す図であり、(A)は平面図、(B)は側面図である。

【図 14】

定電圧発生回路を備えた半導体装置の一実施例を示す回路図である。

【図 15】

電圧検出回路を備えた半導体装置の一実施例を示す回路図である。

【図 16】

本発明のヒューズ素子及びトリミング窓開口部が適用される分割抵抗回路の一例を示す回路図である。

【図 17】

分割抵抗回路のヒューズ素子部分のレイアウト例を示すレイアウト図である。

【図 1 8】

分割抵抗回路の設定抵抗素子部分のレイアウト例を示すレイアウト図である。

【図 1 9】

従来のウェハレベル C S P におけるヒューズ素子部分を示す断面図であり、（A）はレーザートリミング前の状態、（B）はレーザートリミング後の状態、（C）は樹脂封止後の状態を示す。

【図 2 0】

従来のウェハレベル C S P におけるヒューズ素子及び金属電極パッド部分を示す断面図である。

【図 2 1】

レーザートリミング工程を含む従来のウェハレベル C S P の製造工程の一部を示すフローチャートである。

【図 2 2】

従来技術の半導体装置の製造方法を示す工程断面図である。

【図 2 3】

従来技術の半導体装置の製造方法における不具合を示す図であり、（A）は平面図、（B）は（A）の A - A 位置での断面図である。

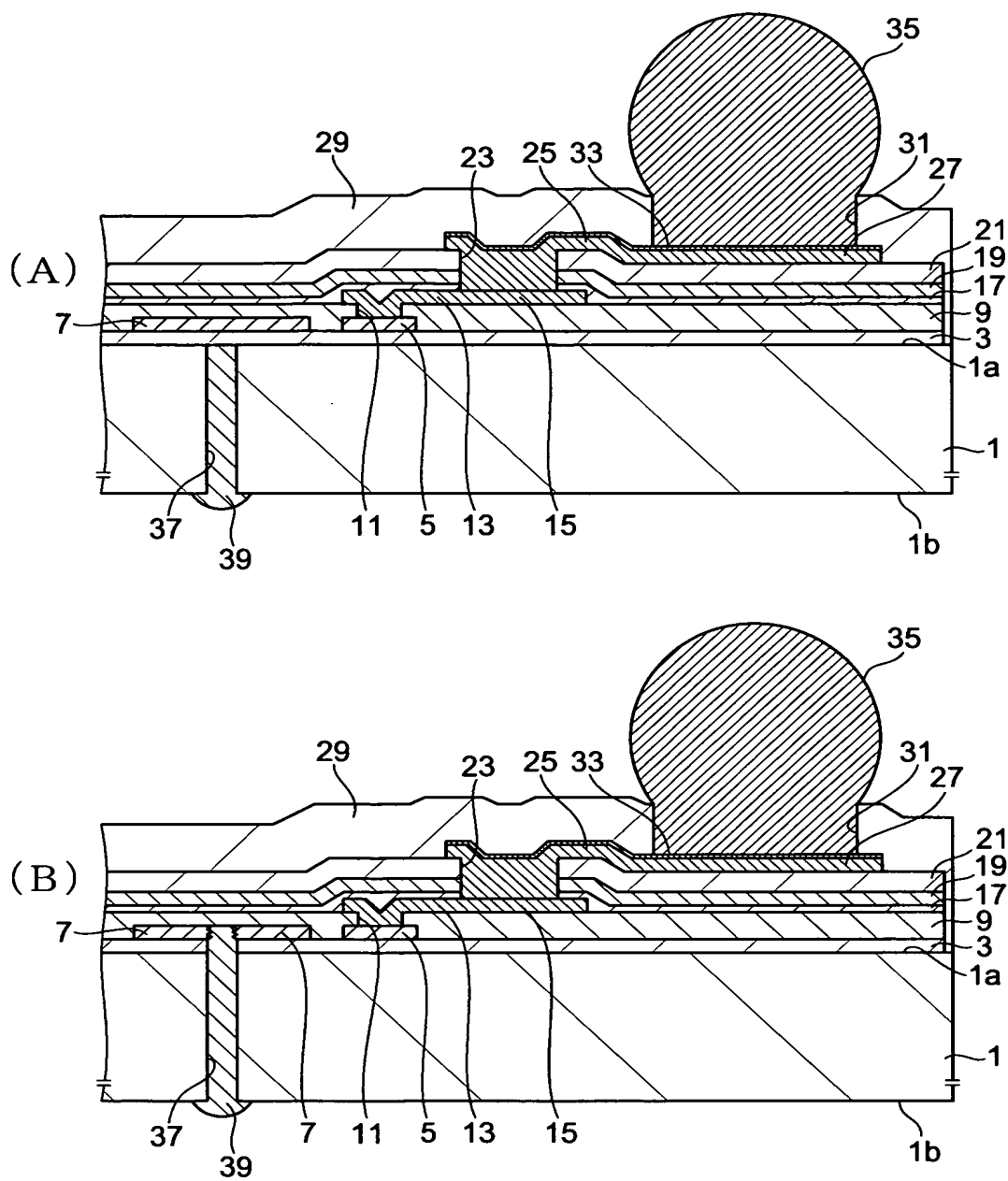
【符号の説明】

- 1 半導体基板（半導体ウェハ）
- 1 a 半導体基板（半導体ウェハ）の主表面
- 1 b 半導体基板（半導体ウェハ）の裏面
- 3 下地絶縁膜
- 5 ポリシリコン膜
- 7 ヒューズ素子
- 9 層間絶縁膜
- 1 1 接続孔
- 1 3 金属配線層
- 1 5 金属電極パッド

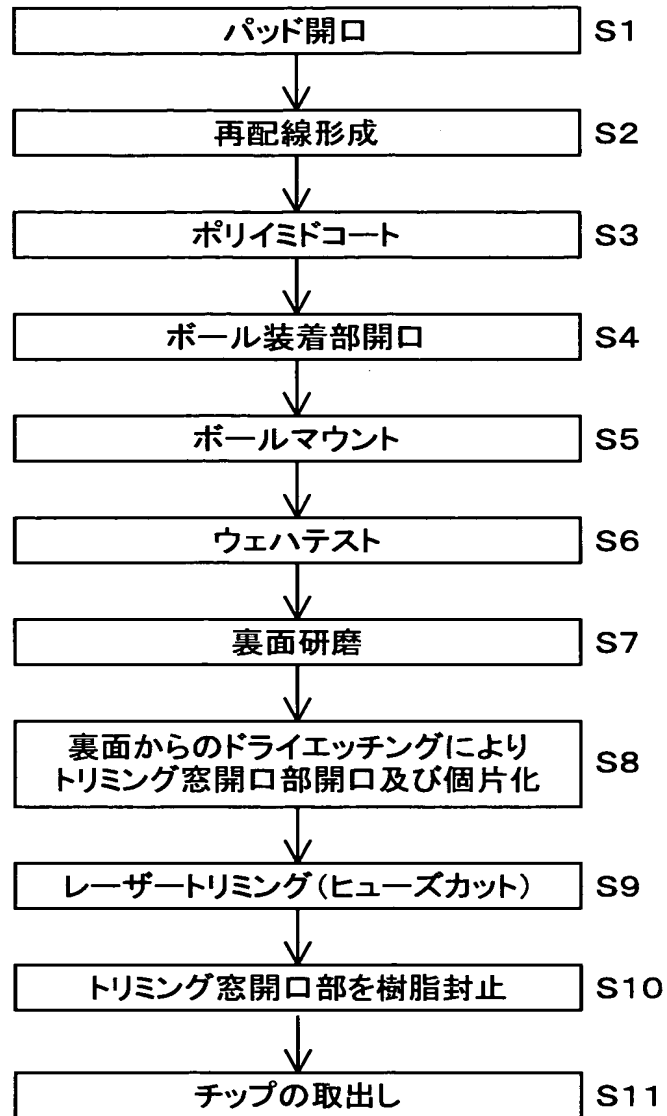
- 1 7 P S G 膜
- 1 9 S i N 膜
- 2 1 , 2 9 ポリイミド膜
- 2 3 パッド開口部
- 2 5 第 2 金属配線層
- 2 7 第 2 金属電極パッド
- 3 1 パッド開口部
- 3 3 バリアメタル層
- 3 5 外部接続端子
- 3 7 トリミング窓開口部
- 3 9 封止樹脂

【書類名】 図面

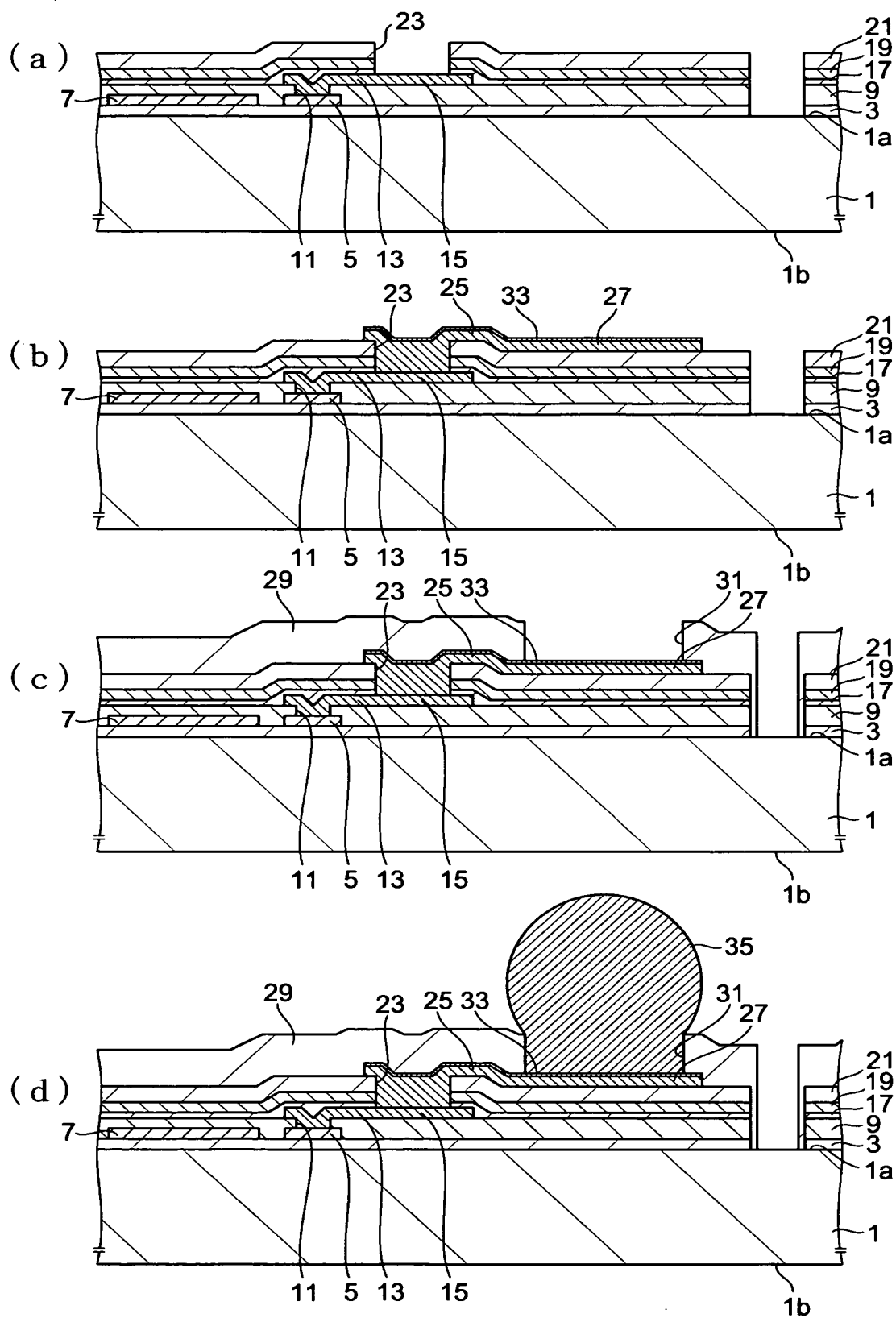
【図 1】



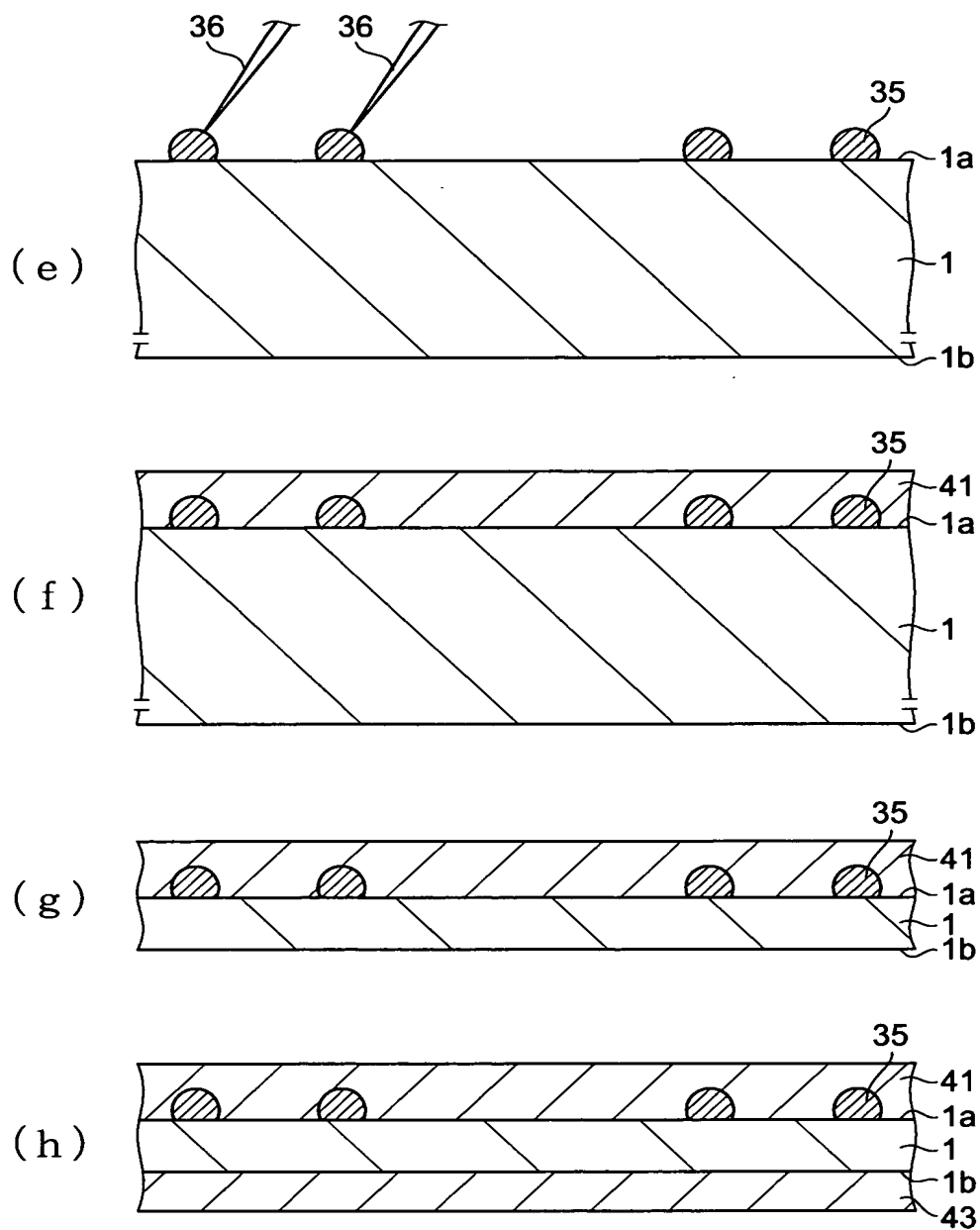
【図 2】



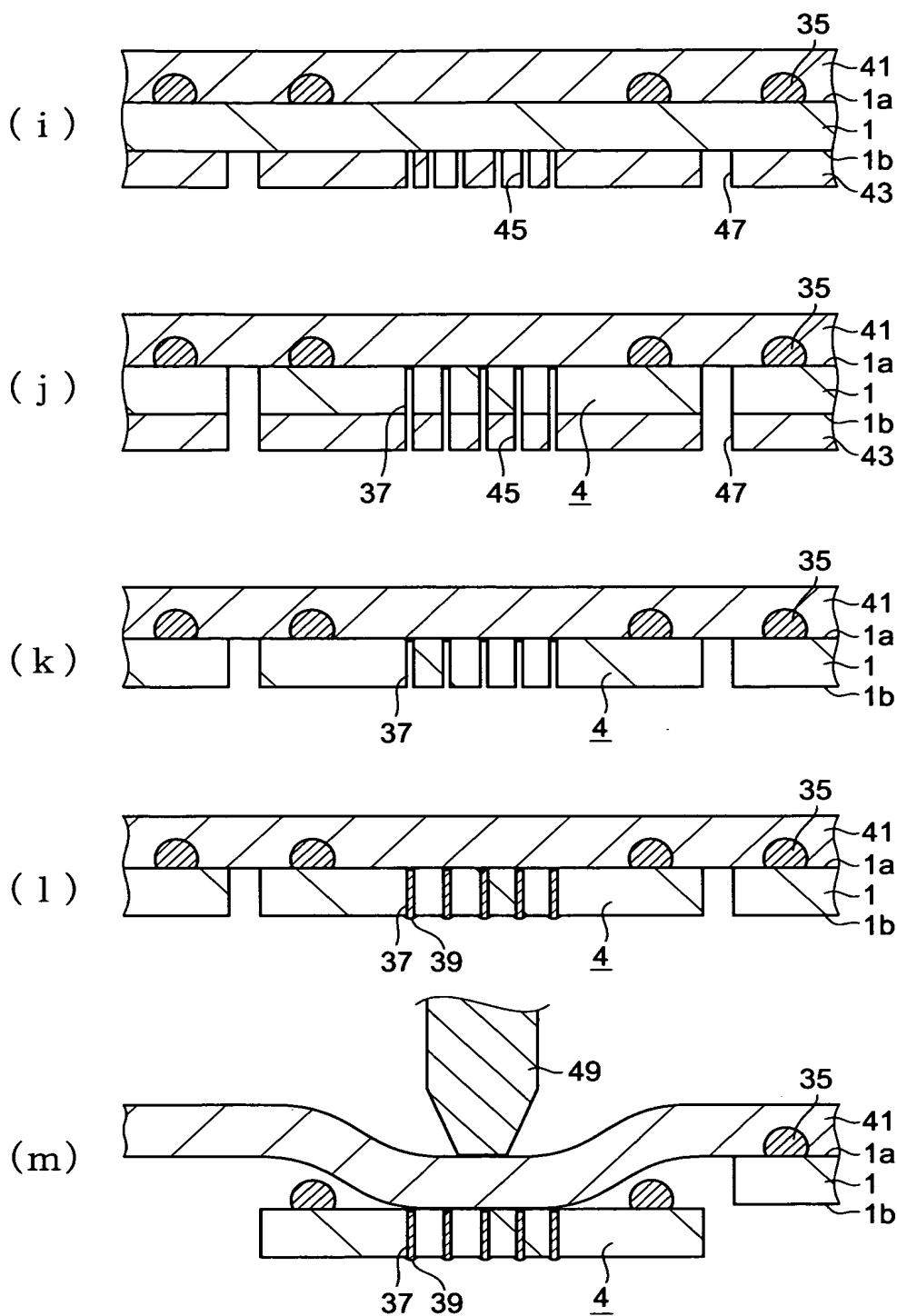
【図 3】



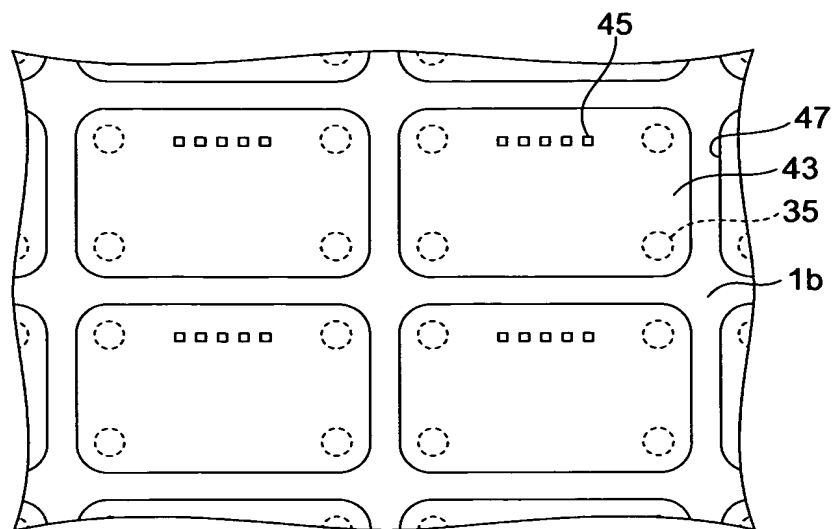
【図 4】



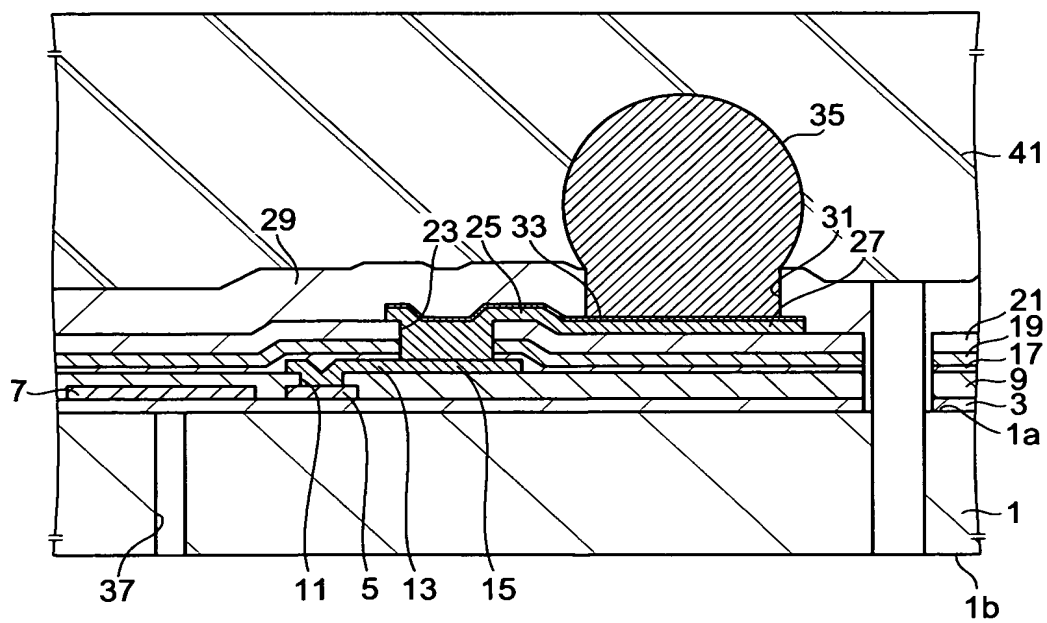
【図 5】



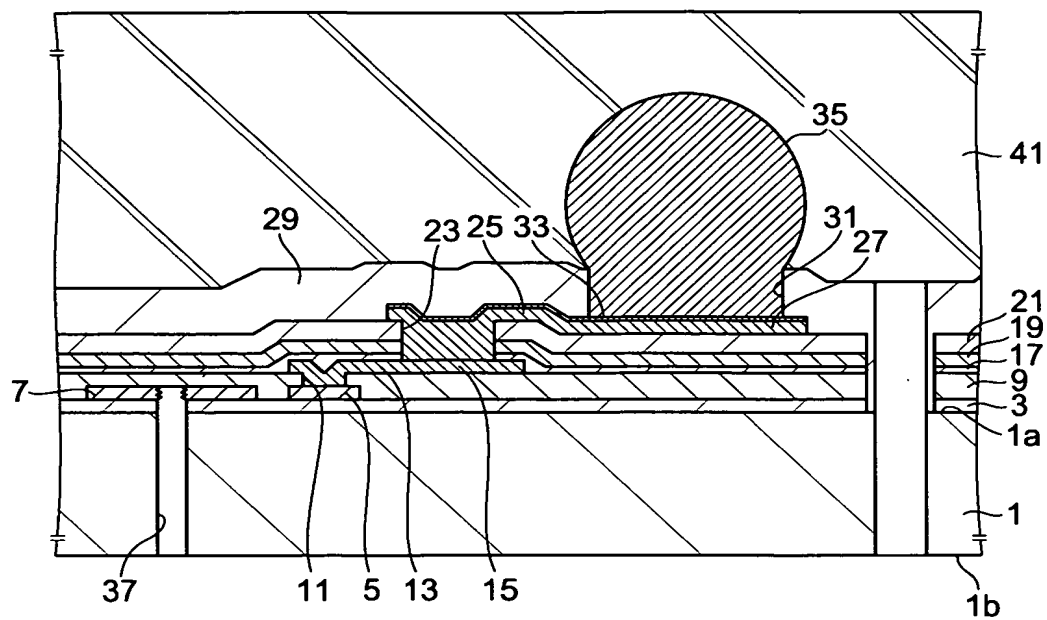
【図 6】



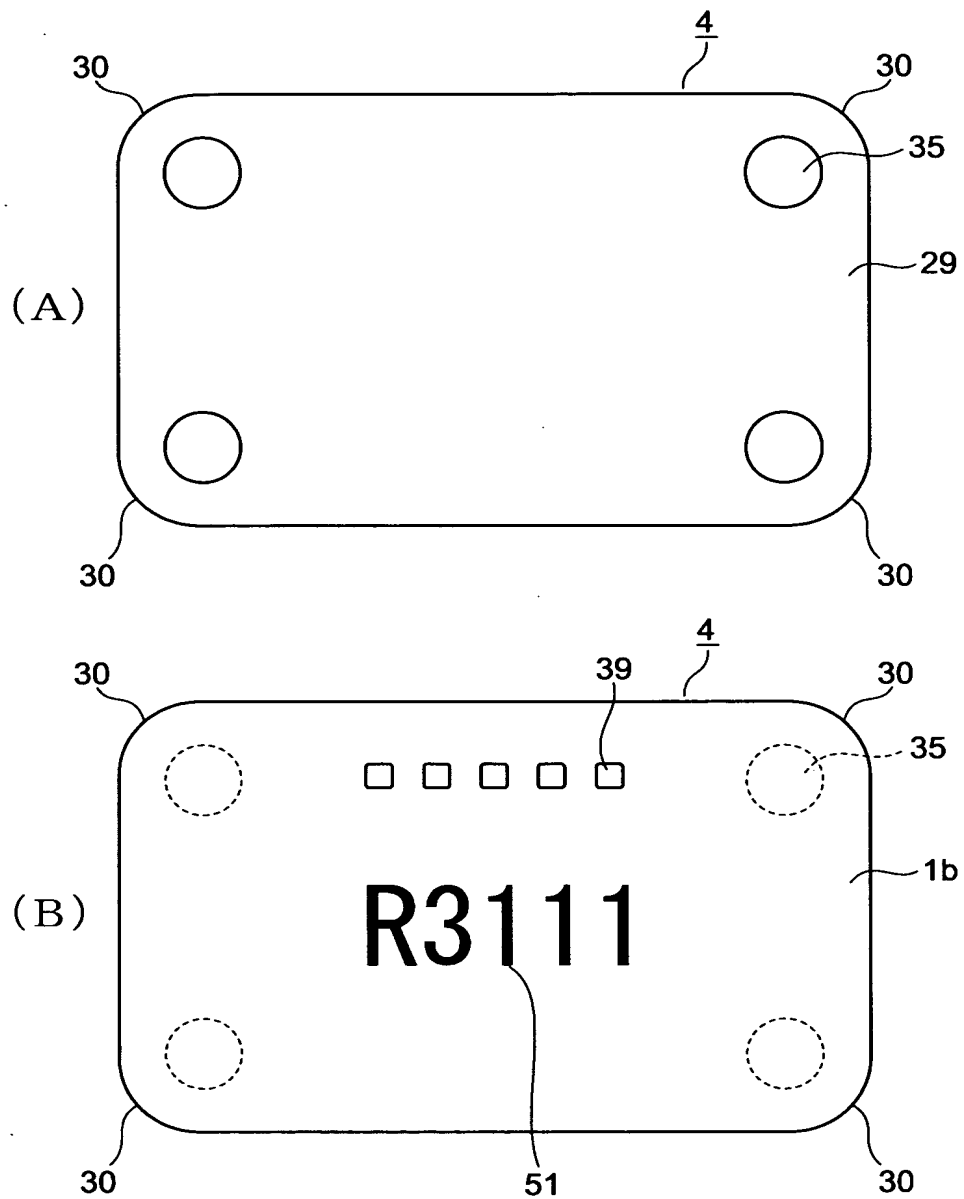
【図 7】



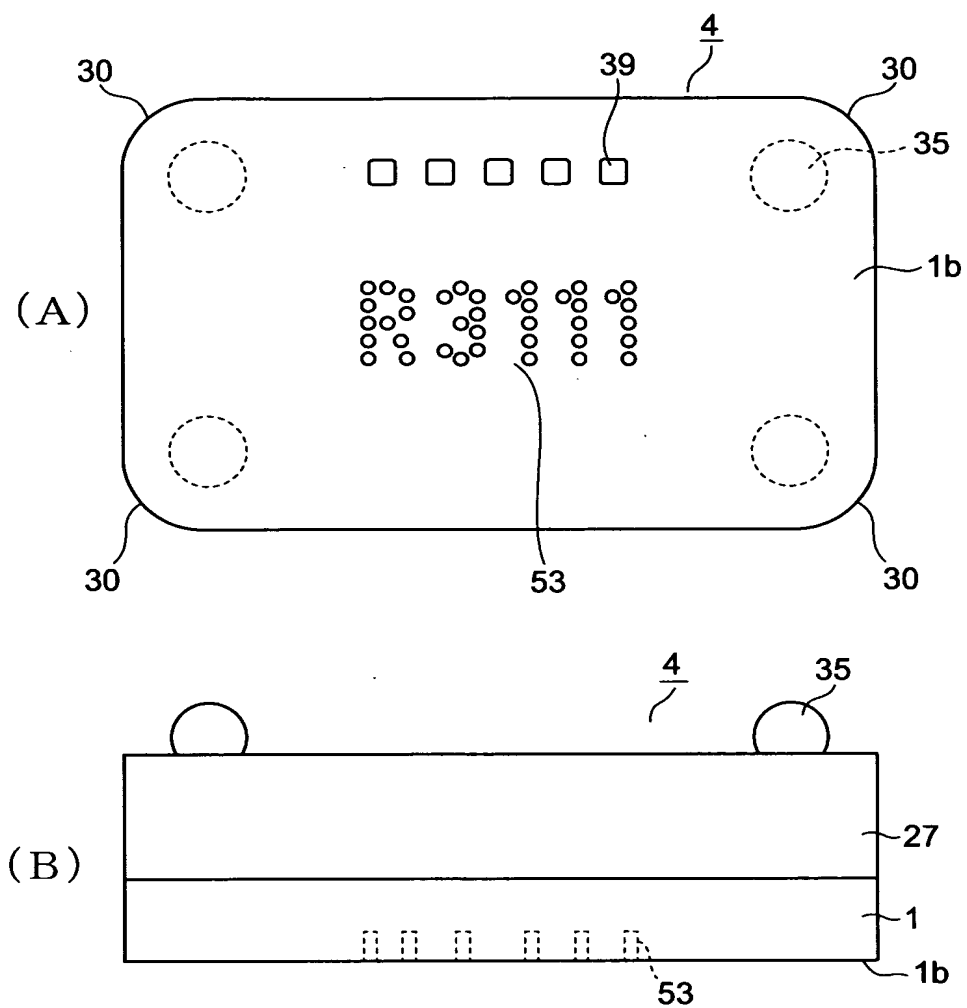
【図 8】



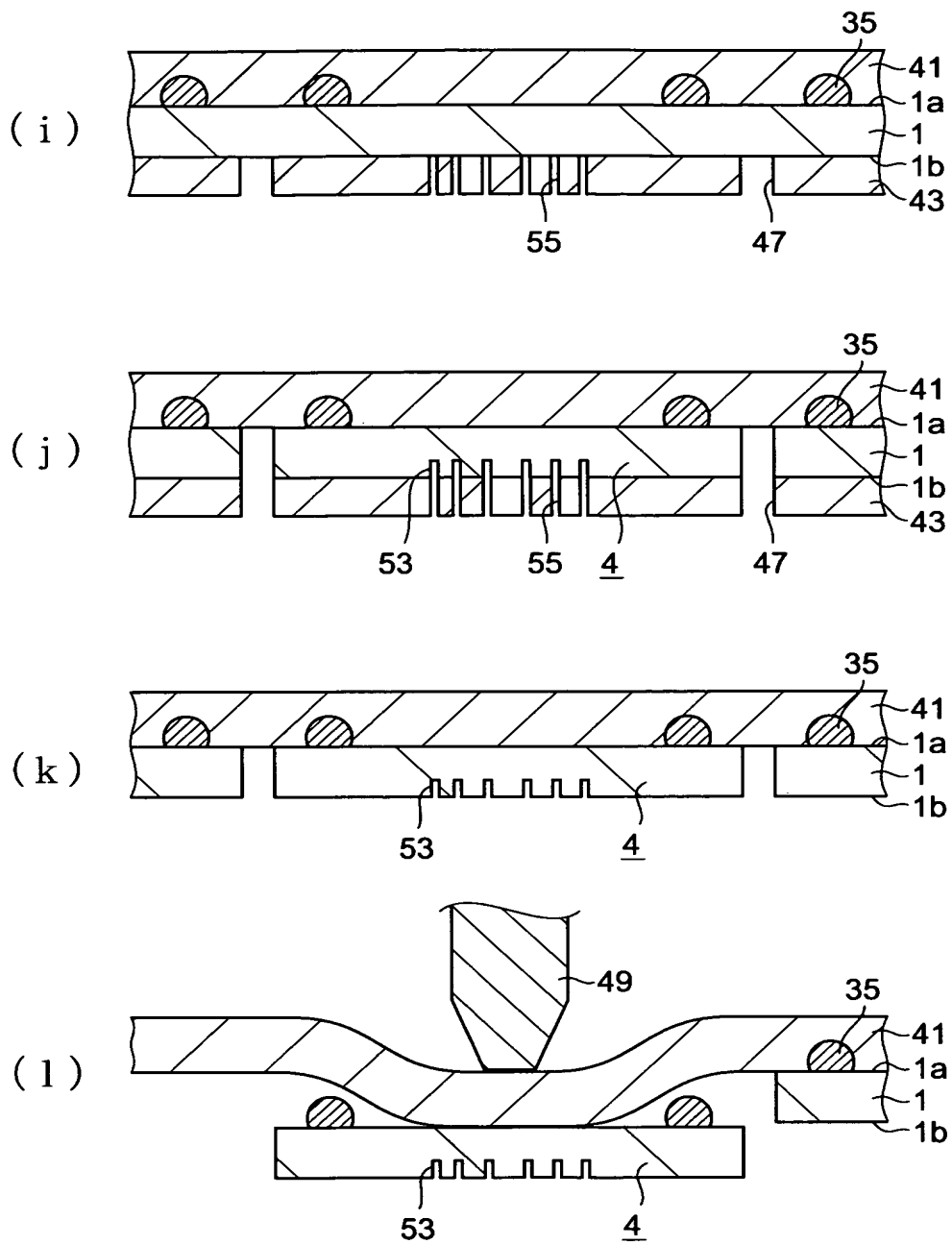
【図 9】



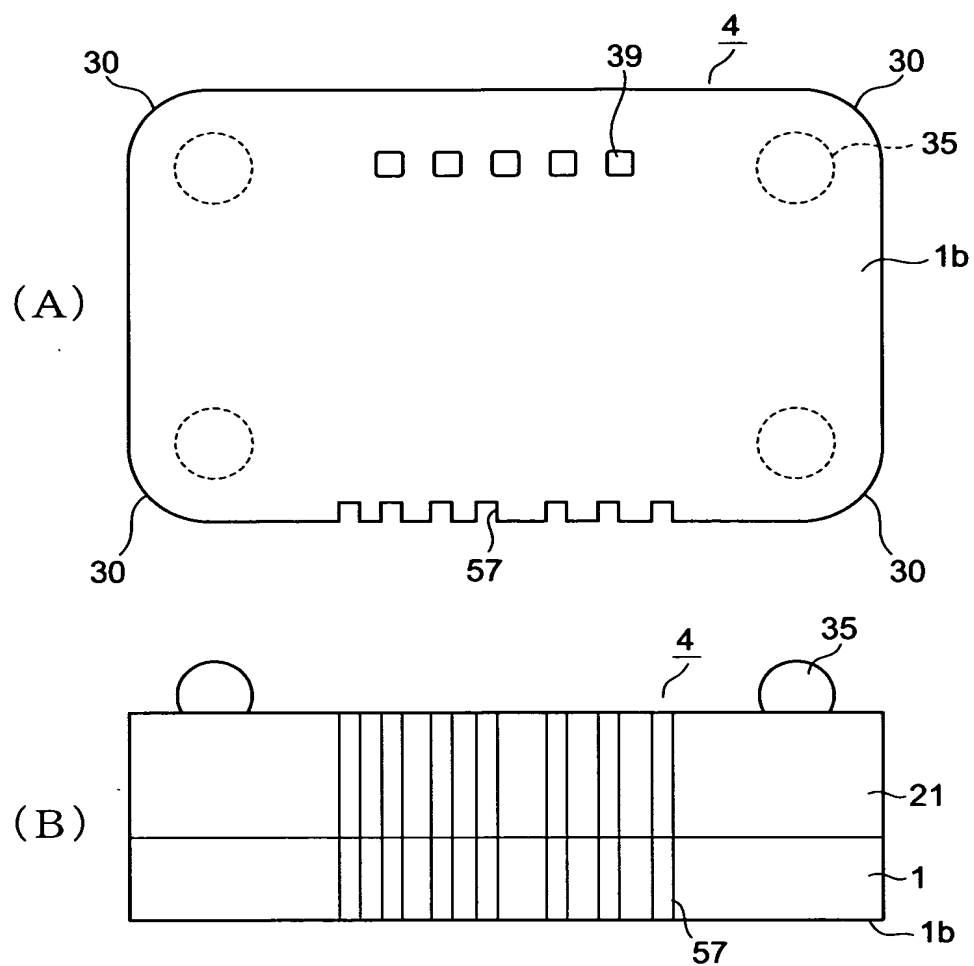
【図 10】



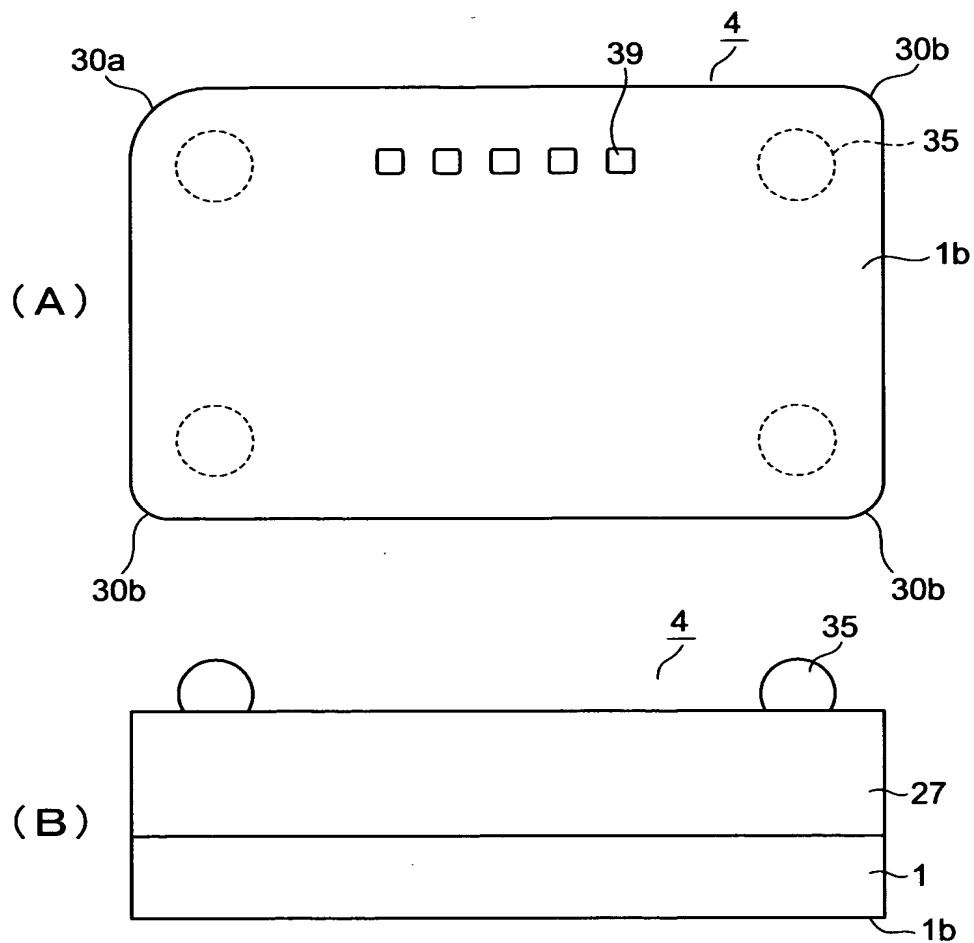
【図 11】



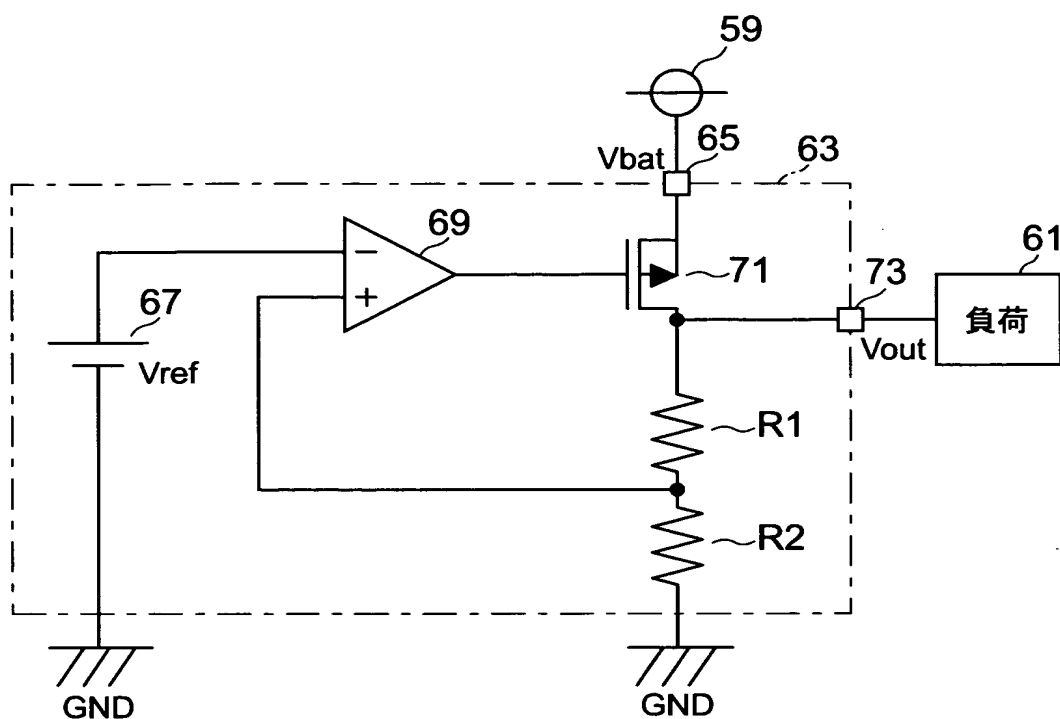
【図 12】



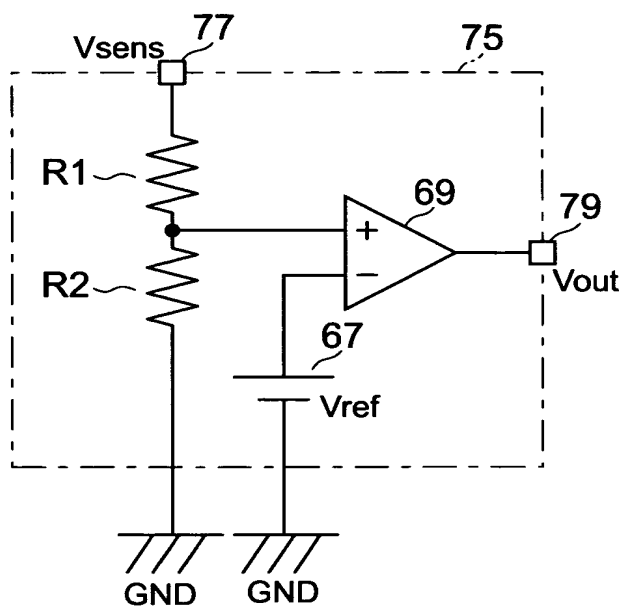
【図 13】



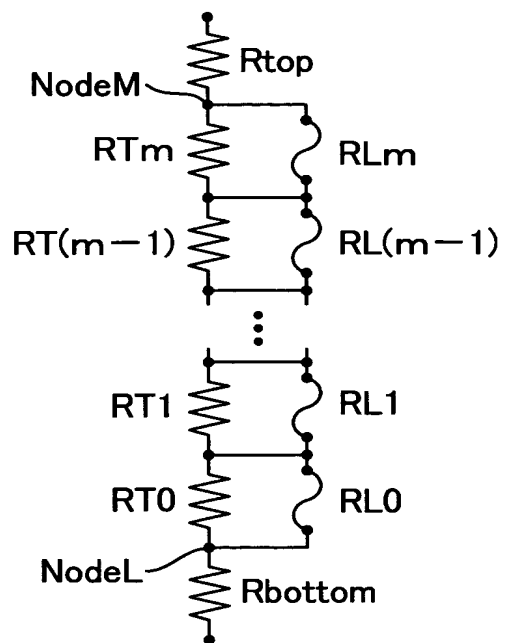
【図 14】



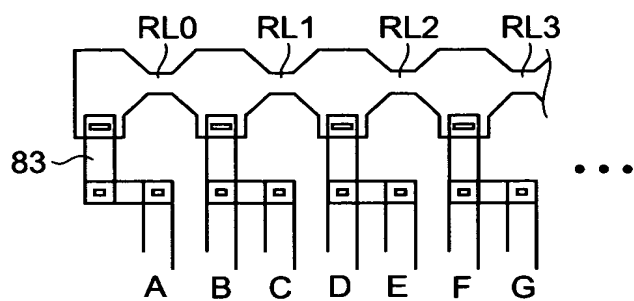
【図 15】



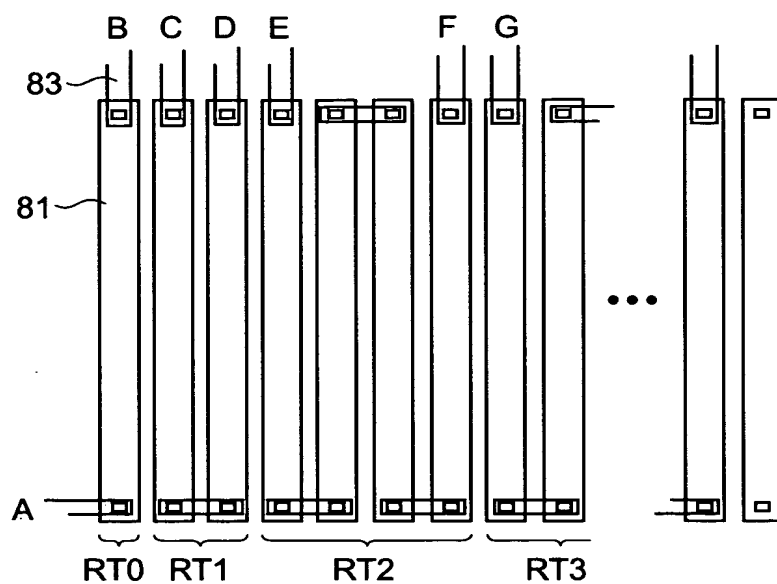
【図 16】



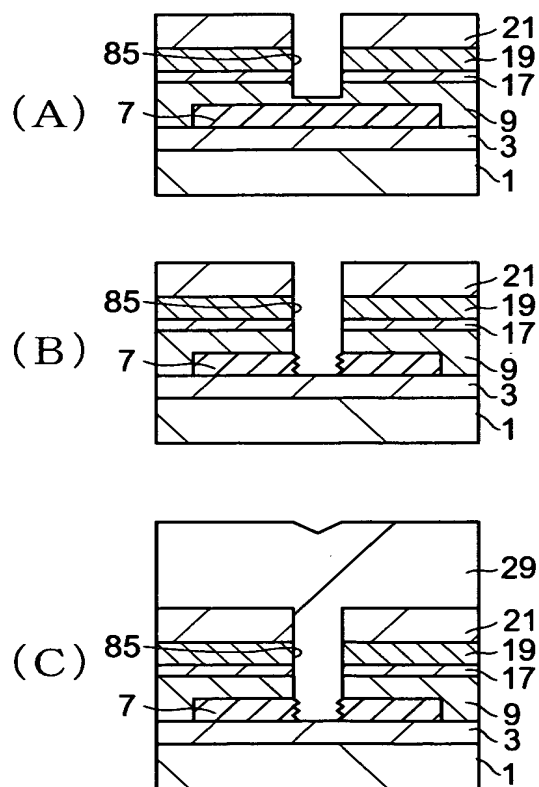
【図 17】



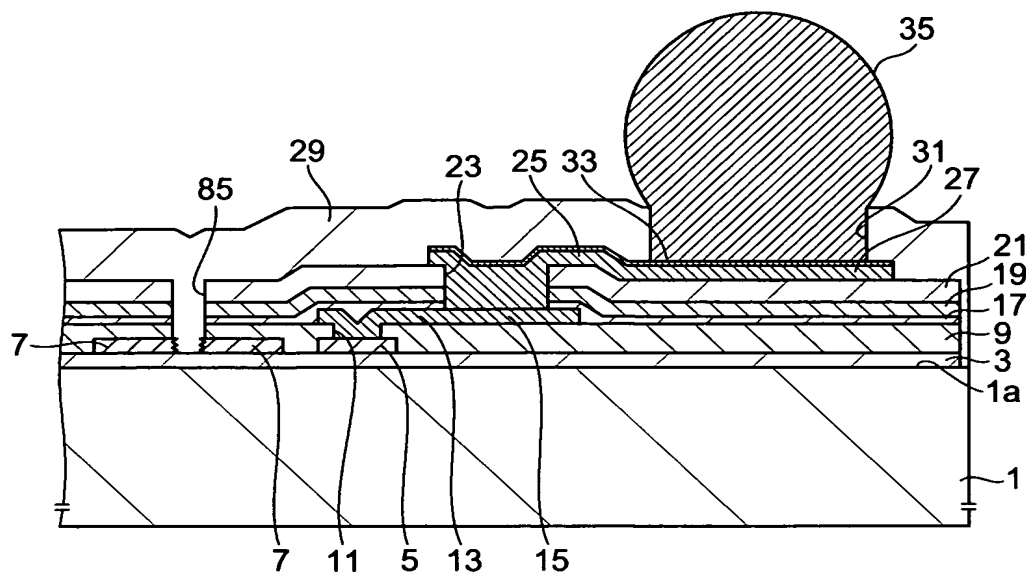
【図 18】



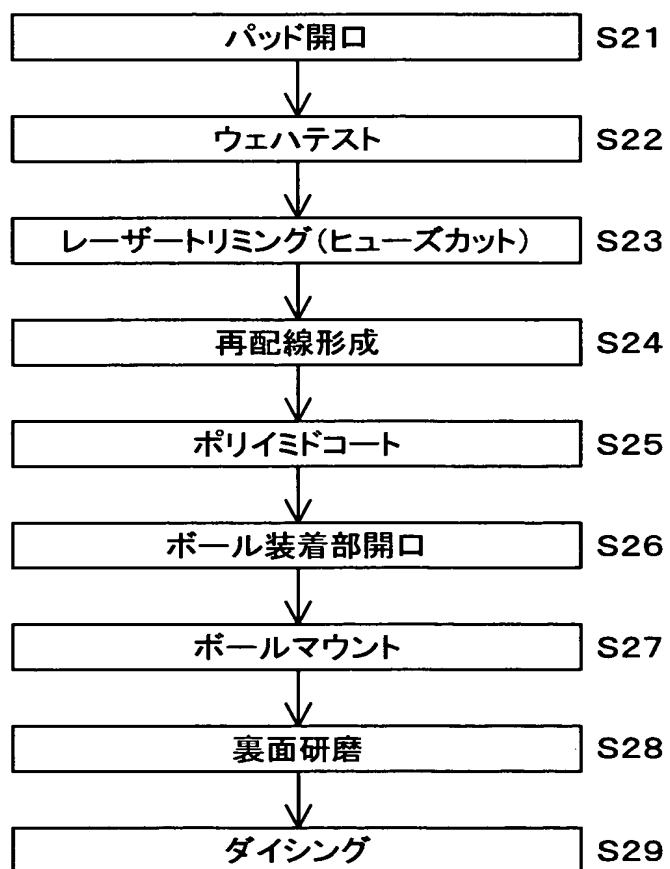
【図 19】



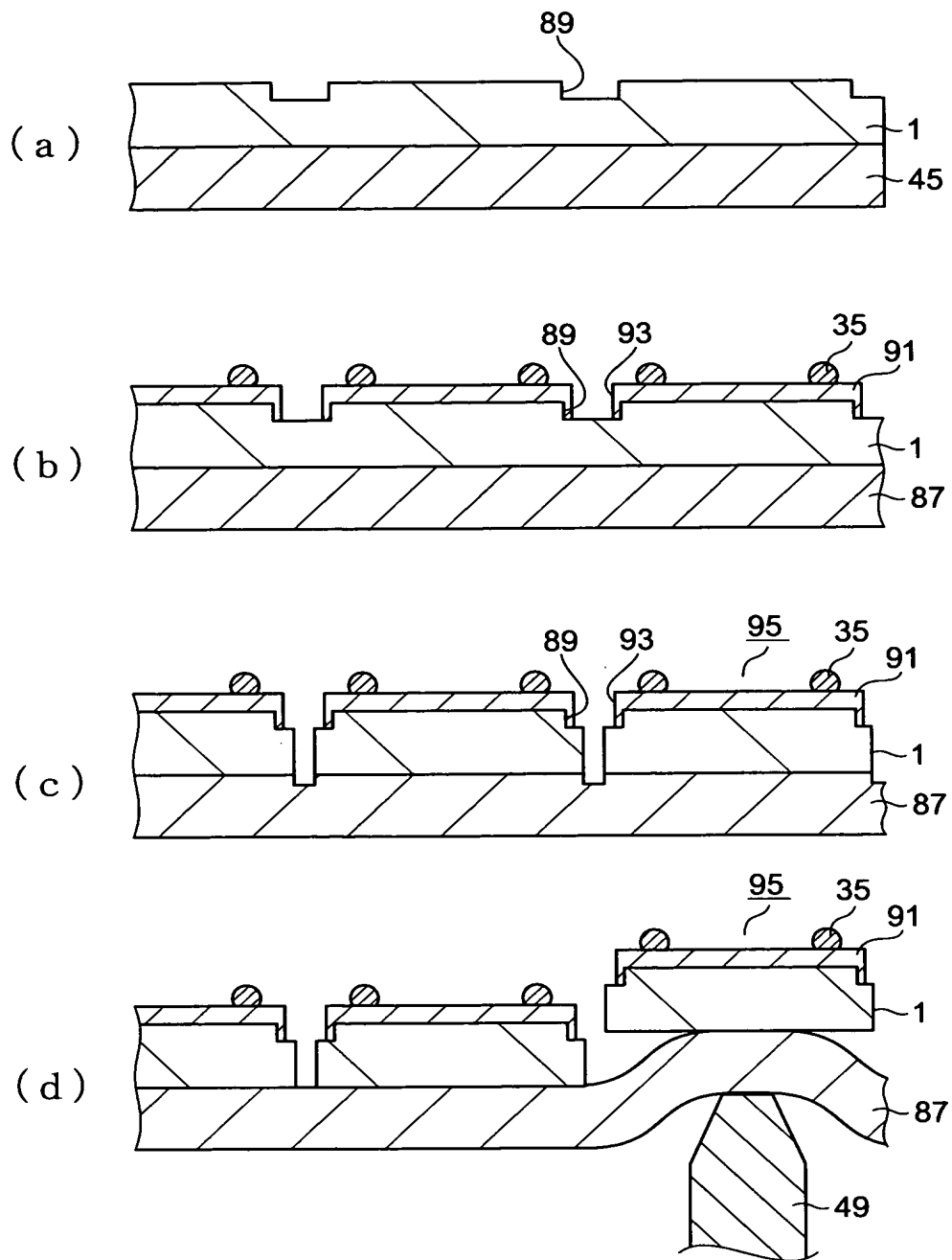
【図 20】



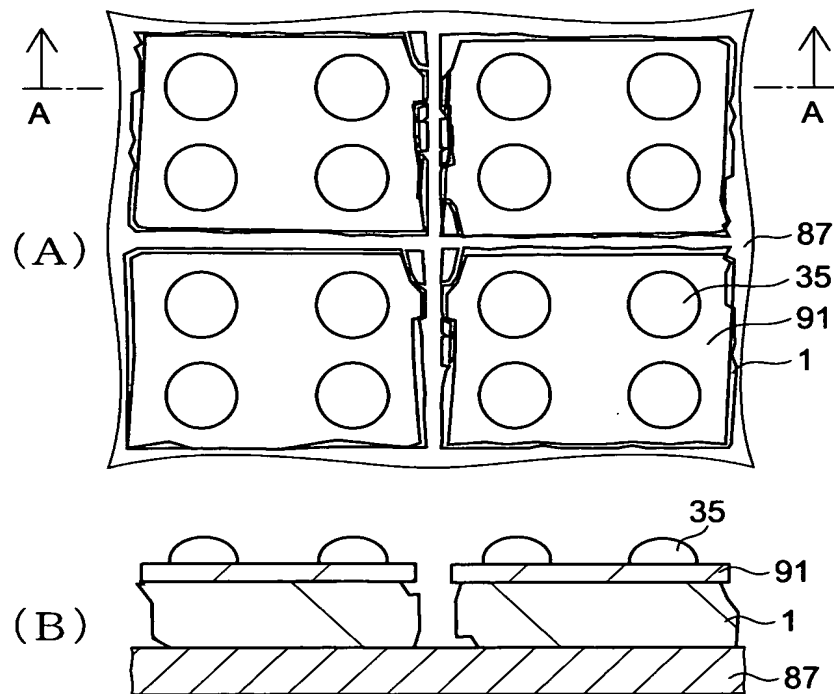
【図 21】



【図 22】



【図 23】



【書類名】 要約書

【要約】

【課題】 アセンブリ工程完了後にレーザートリミング処理を行なうことができる半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板 1 の主表面上に絶縁膜 3 を介してヒューズ素子 7 を備えた半導体装置において、半導体基板 1 に、ヒューズ素子 7 の形成位置に対応してトリミング窓開口部 37 が形成されている。最終保護膜を構成するポリイミド膜 29 及び外部接続端子 35 を形成してアセンブリ工程を完了した後、トリミング窓開口部 37 を半導体基板 1 の裏面 1b 側から形成する。必要に応じてヒューズ素子 7 を切断した後、トリミング窓開口部 37 内に封止樹脂 39 を充填する。

【選択図】 図 1



特願 2 0 0 3 - 0 5 9 1 4 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 7 4 7]

1. 変更年月日

2 0 0 2 年 5 月 1 7 日

[変更理由]

住所変更

住 所

東京都大田区中馬込 1 丁目 3 番 6 号

氏 名

株式会社リコー